

日本国特許庁  
JAPAN PATENT OFFICE

#3/PD  
Annual  
Spor

J1017 U.S. PRO  
10/074050  
02/14/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。  
This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2001年 2月 16日

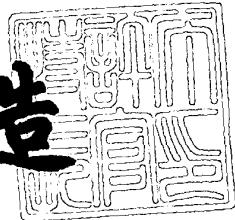
出願番号  
Application Number: 特願2001-040848  
[ ST.10/C ]: [JP2001-040848]

出願人  
Applicant(s): 株式会社半導体エネルギー研究所

2002年 1月 11日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3115389

【書類名】 特許願  
【整理番号】 P005531  
【提出日】 平成13年 2月16日  
【あて先】 特許庁長官 及川 耕造 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 山崎 舜平  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 中村 理  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 梶原 誠之  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 肥塚 純一  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 大力 浩二  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 三津木 亨

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 大沼 英人

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 浅見 勇臣

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

【氏名】 一條 充弘

## 【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

## 【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】半導体装置の作製方法

【特許請求の範囲】

【請求項1】

非晶質構造を有する第1の半導体膜に金属元素を添加する第1工程と、  
前記第1の半導体膜を結晶化させて結晶構造を有する第1の半導体膜を形成す  
る第2工程と、

前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する第3の工程  
と、

前記バリア層上に第2の半導体膜を形成する第4工程と、

前記第2の半導体膜上に一導電型の不純物元素を含む第3の半導体膜を形成す  
る第5工程と、

前記第3の半導体膜に前記金属元素をゲッタリングして、結晶構造を有する第  
1の半導体膜中の前記金属元素を除去または低減する第6工程と、

前記第2の半導体膜及び第3の半導体膜を除去する第7工程とを有することを  
特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、前記第5の工程は、半導体膜を形成する工程と、該半導体  
膜に一導電型の不純物元素を添加する工程であることを特徴とする半導体装置の  
作製方法。

【請求項3】

請求項1において、前記第5の工程は、プラズマCVD法または減圧熱CVD  
法で一導電型の不純物元素を含む第3の半導体膜を成膜する工程であることを特  
徴とする半導体装置の作製方法。

【請求項4】

請求項1において、前記第5の工程は、スパッタ法で一導電型の不純物元素を  
含む第3の半導体膜を成膜する工程であることを特徴とする半導体装置の作製方  
法。

【請求項5】

請求項3または請求項4のいずれか一において、一導電型の不純物元素を含む前記第3の半導体膜を形成した後、該第3の半導体膜に対して、希ガス元素を添加する工程を有することを特徴とする半導体装置の作製方法。

【請求項6】

請求項2または請求項5において、前記一導電型の不純物元素に加えて、希ガス元素、O、O<sub>2</sub>、H、H<sub>2</sub>から選ばれた一種または複数種を添加することを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃6のいずれか一において、前記第3の半導体膜は、非晶質構造または結晶構造を有する半導体膜であることを特徴とする半導体装置の作製方法。

【請求項8】

非晶質構造を有する第1の半導体膜に金属元素を添加する第1工程と、

前記第1の半導体膜を結晶化させて結晶構造を有する第1の半導体膜を形成する第2工程と、

前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する第3の工程と、

前記バリア層上に第2の半導体膜を形成する第4工程と、

前記第2の半導体膜の上層に一導電型の不純物元素を添加する第5工程と、

前記第2の半導体膜の上層に前記金属元素をゲッタリングして、結晶構造を有する第1の半導体膜中の前記金属元素を除去または低減する第6工程と、

前記第2の半導体膜を除去する第7工程とを有することを特徴とする半導体装置の作製方法。

【請求項9】

請求項8において、前記第5工程における前記一導電型の不純物元素に加えて、希ガス元素、O、O<sub>2</sub>、H、H<sub>2</sub>から選ばれた一種または複数種を添加することを特徴とする半導体装置の作製方法。

【請求項10】

請求項1乃9のいずれか一において、前記第2の半導体膜は、非晶質構造または結晶構造を有する半導体膜であることを特徴とする半導体装置の作製方法。

【請求項11】

請求項1乃至10のいずれか一において、前記金属元素はFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項12】

請求項1乃至11のいずれか一において、前記第2工程は、加熱処理であることを特徴とする半導体装置の作製方法。

【請求項13】

請求項1乃至11のいずれか一において、前記第2工程は、前記非晶質構造を有する半導体膜に強光を照射する処理であることを特徴とする半導体装置の作製方法。

【請求項14】

請求項1乃至11のいずれか一において、前記第2工程は、加熱処理を行い、且つ、前記非晶質構造を有する半導体膜に強光を照射する処理であることを特徴とする半導体装置の作製方法。

【請求項15】

請求項1乃至14のいずれか一において、前記バリア層を形成する第3の工程は、オゾンを含む溶液で前記結晶構造を有する半導体膜の表面を酸化する工程であることを特徴とする半導体装置の作製方法。

【請求項16】

請求項1乃至14のいずれか一において、前記バリア層を形成する第3の工程は、紫外線の照射で前記結晶構造を有する半導体膜の表面を酸化する工程であることを特徴とする半導体装置の作製方法。

【請求項17】

請求項1乃至16のいずれか一において、前記第6工程は、加熱処理であることを特徴とする半導体装置の作製方法。

【請求項18】

請求項1乃至16のいずれか一において、前記第6工程は、前記半導体膜に強光を照射する処理であることを特徴とする半導体装置の作製方法。

**【請求項19】**

請求項1乃至16のいずれか一において、前記第6工程は、加熱処理を行い、且つ、前記半導体膜に強光を照射する処理であることを特徴とする半導体装置の作製方法。

**【請求項20】**

請求項1乃至19のいずれか一において、前記一導電型の不純物元素は周期表15族元素または周期表13族元素であることを特徴とする半導体装置の作製方法

**【請求項21】**

請求項13、14、18、19のいずれか一において、前記強光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴とする半導体装置の作製方法。

**【請求項22】**

請求項5、6、9のいずれか一において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明はゲッタリング技術を用いた半導体装置の作製方法に関する。特に本発明は、半導体膜の結晶化において触媒作用のある金属元素を添加して作製される結晶質半導体膜を用いた半導体装置の作製方法に関する。

**【0002】**

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

**【0003】****【従来の技術】**

結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いた代表的な半導体素子として薄膜トランジスタ（以下、TFTと記す）が知られている。 TFTはガラスなどの絶縁基板上に集積回路を形成する技術として注目され、駆動回路一体型液晶表示装置などが実用化されつつある。従来からの技術において、結晶質半導体膜は、プラズマCVD法や減圧CVD法で堆積した非晶質半導体膜を、加熱処理やレーザーニール法（レーザー光の照射により半導体膜を結晶化させる技術）により作製されている。

#### 【0004】

こうして作製される結晶質半導体膜は多数の結晶粒の集合体であり、その結晶方位は任意な方向に配向して制御不能であるため、TFTの特性を制限する要因となっている。このような問題点に対し、特開平7-183540号公報で開示される技術は、ニッケルなど半導体膜の結晶化に対し触媒作用のある金属元素を添加して結晶質半導体膜を作製するものであり、結晶化に必要とする加熱温度を低下させる効果ばかりでなく、結晶方位の配向性を单一方向に高めることが可能である。このような結晶質半導体膜でTFTを形成すると、電界効果移動度の向上のみでなく、サブスレッシュルド係数（S値）が小さくなり、飛躍的に電気的特性を向上させることができることが可能となっている。

#### 【0005】

しかし、触媒作用のある金属元素を添加する故に、結晶質半導体膜の膜中或いは膜表面には、当該金属元素が残存し、得られる素子の特性をばらつかせるなどの問題がある。その一例は、TFTにおいてオフ電流が増加し、個々の素子間でばらつくなどの問題がある。即ち、結晶化に対し触媒作用のある金属元素は、一旦、結晶質半導体膜が形成されてしまえば、かえって不要な存在となってしまう。

#### 【0006】

##### 【発明が解決しようとする課題】

本発明は、高温（600℃以上）の加熱処理回数を低減し、さらなる低温プロセス（600℃以下）を実現するとともに、工程簡略化及びスループットの向上を実現することを課題とする。

#### 【0007】

## 【課題を解決するための手段】

本発明は、金属元素を用いて結晶構造を有する第1の半導体膜を形成する工程と、エッチングストッパーとなる膜（バリア層）を形成する工程と、第2の半導体膜を形成する工程と、一導電型を付与する不純物元素を含む第3の半導体膜（ゲッタリングサイト）を形成する工程と、ゲッタリングサイトに金属元素をゲッタリングさせる工程と、前記第2の半導体膜及び第3の半導体膜を除去する工程とを有している。

## 【0008】

半導体に一導電型を付与する不純物元素は、周期表15族元素または周期表13族元素であり、周期表15族元素のうち代表的な元素はリン（P）、砒素（As）、周期表13族元素のうち代表的な元素はボロン（B）である。

## 【0009】

また、一導電型を付与する不純物元素を含む第3の半導体膜（ゲッタリングサイト）を形成する工程は、一導電型を付与する不純物元素を含む原料ガスを用い、プラズマCVD法または減圧熱CVD法を用いて形成すればよい。ただし、膜剥がれが生じないように成膜条件を調節する。また、他の方法としては非晶質構造または結晶構造を有する半導体膜を形成した後、該半導体膜に一導電型を付与する不純物元素を添加して形成してもよい。また、一導電型を付与する不純物元素を添加する方法としてはイオンドープ法またはイオン注入法を用いればよい。また、他の方法としては一導電型を付与する不純物元素を含むターゲットを用い、スパッタ法で第3の半導体膜形成してもよい。

## 【0010】

また、一導電型を付与する不純物元素に加え、H、H<sub>2</sub>、O、O<sub>2</sub>、希ガス元素から選ばれた一種または複数種を添加してもよい。このように複数の元素を添加することにより相乗的にゲッタリング効果が得られる。中でもO、O<sub>2</sub>は効果的であり、成膜条件または成膜後の添加により、第2の半導体膜または第3の半導体膜中におけるSIMS分析での酸素濃度を $5 \times 10^{18} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ の濃度範囲とするとゲッタリング効率が向上する。

## 【0011】

なお、一導電型を付与する不純物元素は拡散しやすいため、第2の半導体膜の膜厚を調節して、後の熱処理で第1の半導体膜に拡散しないようにすることが好ましい。また、第2の半導体膜だけでなく、バリア層も拡散を防止する機能を有する。ただし、第2の半導体膜も膜剥がれが生じないように成膜条件を調節する。例えば、第2の半導体膜をプラズマCVD法を用いて形成する場合、引張応力を有する条件でRF連続発振で成膜することが好ましい。シランガス ( $\text{SiH}_4$  : 100 sccm) を成膜ガス (流量) に用い、RFパワー 35W、0.25 Torr の成膜圧力でアモルファスシリコンを膜厚 200 nm で成膜した場合、引張応力は約  $1.12 \times 10^9$  (dynes/cm<sup>2</sup>) となる。比較例としてRFパルス発振でアモルファスシリコン膜を成膜した場合、その膜は圧縮応力 (約  $-9.7 \times 10^9$  (dynes/cm<sup>2</sup>) ) を示すため膜剥がれが生じるおそれがある。

## 【0012】

一般的に内部応力は、引張応力と圧縮応力とがある。基板に対して薄膜が収縮しようとするときには、基板はそれを妨げる方向に引っ張るため薄膜を内側にして変形し、これを引張応力と呼んでいる。一方、薄膜が伸張しようとするときは、基板は押し縮められ薄膜を外側にして形成するので、これを圧縮応力と呼んでいる。

## 【0013】

本明細書で開示する1つ目の発明の構成は、  
非晶質構造を有する第1の半導体膜に金属元素を添加する第1工程と、  
前記第1の半導体膜を結晶化させて結晶構造を有する第1の半導体膜を形成する第2工程と、

前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する第3の工程と、

前記バリア層上に第2の半導体膜を形成する第4工程と、  
前記第2の半導体膜上に一導電型の不純物元素を含む第3の半導体膜を形成する第5工程と、

前記第3の半導体膜に前記金属元素をゲッタリングして、結晶構造を有する第

1の半導体膜中の前記金属元素を除去または低減する第6工程と、  
前記第2の半導体膜及び第3の半導体膜を除去する第7工程とを有することを  
特徴とする半導体装置の作製方法である。

## 【0014】

上記構成において、前記第5の工程は、半導体膜を形成する工程と、該半導体  
膜に一導電型の不純物元素を添加する工程、もしくは、プラズマCVD法または  
減圧熱CVD法で一導電型の不純物元素を含む第3の半導体膜を成膜する工程、  
もしくは、スパッタ法で一導電型の不純物元素を含む第3の半導体膜を成膜する  
工程とすればよい。

## 【0015】

また、上記構成において、一導電型の不純物元素を添加する場合、前記一導電  
型の不純物元素に加えて、希ガス元素、O、O<sub>2</sub>、H、H<sub>2</sub>から選ばれた一種または  
複数種を同一工程または順次添加することが好ましい。

## 【0016】

また、上記構成において、前記第3の半導体膜は、プラズマCVD法、減圧熱  
CVD法、またはスパッタ法によって形成された非晶質構造または結晶構造を有  
する半導体膜の単層またはこれらの積層であることを特徴としている。

## 【0017】

また、本発明は上記構成に限定されず、第3の半導体膜を形成せずに第2の半  
導体膜の上層のみに一導電型の不純物元素を添加してゲッタリングサイトを形成  
してもよい。

## 【0018】

また、本発明の2つ目の発明の構成は、  
非晶質構造を有する第1の半導体膜に金属元素を添加する第1工程と、  
前記第1の半導体膜を結晶化させて結晶構造を有する第1の半導体膜を形成す  
る第2工程と、

前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する第3の工程  
と、

前記バリア層上に第2の半導体膜を形成する第4工程と、

前記第2の半導体膜の上層に一導電型の不純物元素を添加する第5工程と、  
前記第2の半導体膜の上層に前記金属元素をゲッタリングして、結晶構造を有する第1の半導体膜中の前記金属元素を除去または低減する第6工程と、  
前記第2の半導体膜を除去する第7工程とを有することを特徴とする半導体装置の作製方法である。

## 【0019】

上記構成において、前記第5工程における前記一導電型の不純物元素に加えて、希ガス元素、O、O<sub>2</sub>、H、H<sub>2</sub>から選ばれた一種または複数種を同一工程または順次添加することが好ましい。

## 【0020】

また、上記2つの構成において、前記第2の半導体膜は、プラズマCVD法、減圧熱CVD法、またはスパッタ法によって形成された非晶質構造または結晶構造を有する半導体膜の単層またはこれらの積層であることを特徴としている。また、前記第2の半導体膜は、引張応力を有することが望ましい。

## 【0021】

また、上記各構成において、前記金属元素はFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることを特徴としている。

## 【0022】

また、上記各構成において、前記第2工程は、加熱処理、強光を照射する処理、またはレーザー光（波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波）を照射する処理の内、いずれか一の処理、もしくはこれらを組み合わせた処理であることを特徴としている。

## 【0023】

また、上記各構成において、前記バリア層を形成する第3の工程は、オゾンを含む溶液で前記結晶構造を有する半導体膜の表面を酸化する工程、もしくは酸素雰囲気下の紫外線の照射で前記結晶構造を有する半導体膜の表面を酸化する工程である工程とすればよい。

## 【0024】

また、上記各構成において、前記第6工程は、加熱処理、もしくは前記非晶質構造を有する半導体膜に強光を照射する処理、もしくは加熱処理を行い、且つ、前記非晶質構造を有する半導体膜に強光を照射する処理であることを特徴としている。

## 【0025】

また、上記各構成において、強光を照射する場合、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いればよい。

## 【0026】

また、上記各構成において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴としている。

## 【0027】

また、上記各構成において、前記一導電型の不純物元素は周期表15族元素または周期表13族元素から選ばれた一種または複数種であることを特徴としている。

## 【0028】

## 【発明の実施の形態】

本発明の実施形態について、以下に説明する。

## 【0029】

本発明の特徴の一つは、結晶質半導体膜上にバリア層及び半導体膜を形成するプロセスと、結晶質半導体膜上方に一導電型の不純物元素を含む半導体膜（ゲッタリングサイト）を形成するプロセスと、加熱処理するプロセスとを有しており、該加熱処理により結晶質半導体膜に含まれる金属が移動してバリア層および半導体膜（一導電型の不純物元素のイオンを含まない半導体膜）を通り抜け、ゲッタリングサイト（一導電型の不純物元素のイオンを含む半導体膜）に捕獲され、結晶質半導体膜から金属元素を除去または低減することである。なお、加熱処理に代えて強光を照射してもよいし、加熱処理と同時に強光を照射してもよい。

## 【0030】

(実施の形態1)

以下に代表的な作製手順を簡略に図1を用いて示す。

【0031】

図1(A)中、100は、絶縁表面を有する基板、101は下地絶縁膜、102は非晶質構造を有する半導体膜である。

【0032】

まず、基板100上にブロッキング層として酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜からなる下地絶縁膜101を形成する。ここでは下地絶縁膜101として2層構造(膜厚50nmの酸化窒化シリコン膜、膜厚100nmの酸化窒化シリコン膜)を用いるが、単層膜または2層以上積層させた構造を用いても良い。ただし、ブロッキング層を設ける必要がない場合には下地絶縁膜を形成しなくともよい。

【0033】

次いで、下地絶縁膜上に非晶質構造を有する半導体膜102を公知の手段により結晶化して結晶構造を有する半導体膜104を形成する。(図1(B))

【0034】

本発明において、結晶構造を有する半導体膜は、プラズマCVD法、減圧熱CVD法、またはスパッタ法で得られる非晶質構造を有する半導体膜102に金属元素を添加した後、加熱処理または強光の照射によって結晶化を行えばよい。ここでは、アモルファスシリコン膜(非晶質シリコン膜)を形成し、ニッケルを含む溶液を非晶質シリコン膜上に塗布してニッケル含有層103を形成する。

【0035】

結晶化の後、フッ酸を含むエッチャント、例えば希フッ酸やFPM(フッ酸、過酸化水素水、純水との混合液)で偏析した金属元素を除去または低減してもよい。また、フッ酸を含むエッチャントで表面をエッチング処理した場合には、強光を照射して表面を平坦化することが望ましい。

【0036】

また、上記結晶化の後、さらに結晶化を改善するためのレーザー光または強光の照射を行ってもよい。この結晶化を改善するためのレーザー光または強光の照射の後にフッ酸を含むエッチャントで偏析した金属元素を除去または低減しても

よく、さらに強光を照射して表面を平坦化してもよい。

【0037】

なお、結晶構造を有する半導体膜104中の酸素濃度(SIMS分析)は、 $5 \times 10^{18} / \text{cm}^3$ 以下となるように形成することが望ましい。

【0038】

次いで、結晶構造を有する半導体膜104上に珪素を主成分とするバリア層105を形成する。なお、このバリア層105は極薄いものでよく、自然酸化膜であってもよいし、酸素を含む雰囲気下において紫外線の照射によりオゾンを発生させて酸化させる酸化膜であってもよい。また、このバリア層105として、炭素、即ち有機物の除去のために行われるヒドロ洗浄と呼ばれる表面処理に使用するオゾンを含む溶液で酸化させた酸化膜であってもよい。このバリア層105は、主にエッチングストッパーとして用いるものである。また、このバリア層105を形成した後、チャネルドープを行い、その後、強光を照射して活性化させてよい。

【0039】

次いで、バリア層105上に第2の半導体膜106を形成する。この第2の半導体膜106は非晶質構造を有する半導体膜であってもよいし、結晶構造を有する半導体膜であってもよい。この第2の半導体膜106の膜厚は、5~50nm、好ましくは10~20nmとする。第2の半導体膜106には、酸素(SIMS分析での濃度が $5 \times 10^{18} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以上)を含有させてゲッタリング効率を向上させることが望ましい。

【0040】

次いで、第2の半導体膜106上に一導電型の不純物元素、ここではリンを含む第3の半導体膜(ゲッタリングサイト)107を形成する。この第3の半導体膜107はプラズマCVD法、減圧熱CVD法、またはスパッタ法を用いた非晶質構造を有する半導体膜であってもよいし、結晶構造を有する半導体膜であってもよい。第3の半導体膜は、成膜段階でリンを含む半導体膜であってもよいし、リンを含んでいない半導体膜の成膜後にリンを添加してもよい。また、第2の半導体膜と第3の半導体膜とを大気に触れることなく連続的に成膜してもよい。ま

た、第2の半導体膜の膜厚と第3の半導体膜の膜厚との和は30～200nm、例えば50nmとすればよい。

#### 【0041】

本発明は、第2の半導体膜106によって、第1の半導体膜104と第3の半導体膜（ゲッタリングサイト）107との間隔を空けている。ゲッタリングの際、金属元素はゲッタリングサイトの境界付近に集まりやすい傾向があるため、本発明のように第2の半導体膜106によって、ゲッタリングサイトの境界を第1の半導体膜104から遠ざけてゲッタリング効率を向上させることが望ましい。加えて、第2の半導体膜106は、ゲッタリングの際、ゲッタリングサイトに含まれるリンが拡散して第1の半導体膜の界面に達することができないようにブロッキングする効果も有している。また、第2の半導体膜106は、リンを添加する場合、第1の半導体膜にダメージを与えないように保護する効果も有している。

#### 【0042】

次いで、ゲッタリングを行う。ゲッタリングを行う工程としては、窒素雰囲気中で450～800℃、1～24時間、例えば550℃にて14時間の熱処理を行えばよい。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。このゲッタリングにより、図1（E）中の矢印の方向にニッケルが移動し、バリア層105で覆われた半導体膜104に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。ここでは、ニッケルが第1の半導体膜104に偏析しないよう全て第3の半導体膜107に移動させ、第1の半導体膜104に含まれるニッケルがほとんど存在しない、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下になるように十分ゲッタリングする。

#### 【0043】

次いで、バリア層105をエッチングストッパーとして、106、107で示した半導体膜のみを選択的に除去した後、半導体膜104を公知のパターニング技術を用いて所望の形状の半導体層108を形成する。

#### 【0044】

次いで、半導体層の表面をフッ酸を含むエッチャントで洗浄した後、ゲート絶

縁膜109となる珪素を主成分とする絶縁膜を形成する。この表面洗浄とゲート絶縁膜の形成は、大気にふれさせずに連続的に行うことが望ましい。

## 【0045】

次いで、ゲート絶縁膜表面を洗浄した後、ゲート電極110を形成し、半導体にn型を付与する不純物元素（P、As等）、ここではリンを適宜添加して、ソース領域111及びドレイン領域112を形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温～300℃の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射して不純物元素を活性化させることは非常に有効である。YAGレーザーはメンテナンスが少ないため好ましい活性化手段である。

## 【0046】

以降の工程は、層間絶縁膜114を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホールを形成し、ソース電極115、ドレイン電極116を形成してTFTを完成させる。

## 【0047】

こうして得られたTFTは、少なくともチャネル形成領域113に含まれていたニッケル元素は除去され、且つ、一導電型の不純物元素（リン）も含有していない。

## 【0048】

また、本発明は図1の構造に限定されず、必要があればチャネル形成領域とドレイン領域（またはソース領域）との間にLDD領域を有する低濃度ドレイン（LDD：Lightly Doped Drain）構造としてもよい。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。さらにゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造としてもよい。

## 【0049】

また、図1に示した第3の半導体膜を形成せずに第2の半導体膜の上層のみに一導電型の不純物元素を添加してゲッタリングサイトを形成してもよい。

## 【0050】

また、ここではnチャネル型TFTを用いて説明したが、半導体にn型を付与する不純物元素に代えて、半導体にp型を付与する不純物元素を用いることによってpチャネル型TFTを形成することができることは言うまでもない。

## 【0051】

また、ここではトップゲート型TFTを例として説明したが、TFT構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型（逆スタガ型）TFTや順スタガ型TFTに適用することが可能である。

## 【0052】

## (実施の形態2)

また、実施の形態1に示した第3の半導体膜を形成した後、さらに一導電型の不純物元素を添加してゲッタリングサイトを形成してもよい。ここではその一例を図2を用いて説明する。

## 【0053】

実施の形態1と同様に第3の半導体膜207までを形成する。実施の形態1に従って、基板200上に下地絶縁膜201、結晶構造を有する半導体膜204を形成した後、バリア層205を形成する。実施の形態1と同様に、ここでもニッケルを用いて結晶化を行う。なお、図2(A)は図1(A)に対応し、図2(B)は図1(B)に対応している。

## 【0054】

次いで、実施の形態1と同様にバリア層205上に第2の半導体膜206、一導電型を付与する不純物元素であるリンを含む第3の半導体膜207を形成する。なお、図2(C)は図1(D)に対応している。

## 【0055】

次いで、第3の半導体膜206に一導電型の不純物元素を添加する。図2(D)に示したように一導電型の不純物元素が添加された領域を208で示した。こ

の208の領域がゲッタリングサイトとなる。一導電型の不純物元素に加えて、希ガス元素、O、O<sub>2</sub>、H、H<sub>2</sub>から選ばれた一種または複数種を同一工程または順次添加してもよい。また、ここで一導電型の不純物元素に代えて希ガス元素を添加してもよい。また、ここで第3の半導体膜に含まれている導電型（n型）とは異なる導電型（p型）の不純物元素を添加してもよい。

#### 【0056】

次いで、ゲッタリングを行う。ゲッタリングを行う工程としては、窒素雰囲気中で450～800℃、1～24時間、例えば550℃にて14時間の熱処理を行えばよい。また、熱処理に代えて強光を照射してもよい。また、熱処理に加えて強光を照射してもよい。このゲッタリングにより、図2（E）中の矢印の方向にニッケルが移動し、バリア層205で覆われた半導体膜204に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。ここでは、ニッケルが第1の半導体膜204に偏析しないよう全て第3の半導体膜208に移動させ、第1の半導体膜204に含まれるニッケルがほとんど存在しないように十分ゲッタリングする。

#### 【0057】

次いで、バリア層205をエッチングストッパーとして、206、208で示した半導体膜のみを選択的に除去した後、半導体膜204を公知のパターニング技術を用いて所望の形状の半導体層209を形成する。

#### 【0058】

以降の工程は、実施の形態1に従って、ゲート絶縁膜210、ゲート電極211を形成し、半導体にn型を付与する不純物元素の添加を行ってソース領域212、ドレイン領域213を形成した後、層間絶縁膜215を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホールを形成し、ソース電極216、ドレイン電極217を形成してTFTを完成させる。

#### 【0059】

こうして得られたTFTも、少なくともチャネル形成領域214に含まれていたニッケル元素は除去され、且つ、チャネル形成領域214には一導電型を付与する元素を含有していない。

## 【0060】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

## 【0061】

(実施例)

## [実施例1]

ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT (nチャネル型TFT及びpチャネル型TFT) を同時に作製する方法について図3～図5を用いて説明する。

## 【0062】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板200を用いる。なお、基板300としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

## 【0063】

次いで、基板300上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜301を形成する。本実施例では下地膜301として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜301の一層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜301aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜301a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜301の二層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜301bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜301b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

## 【0064】

次いで、下地膜上に半導体層302～306を形成する。半導体層302～306は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層302～306の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$  ( $X=0.0001 \sim 0.02$ )）合金、例えばシリコンに対してゲルマニウムの含有量が0.02～2原子%のシリコングルマニウム膜で形成すると良い。

## 【0065】

本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500°C、1時間）を行った後、熱結晶化（550°C、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、実施の形態1に従って、オゾンを含む溶液により表面に極薄い酸化膜を形成した後、酸化膜上に酸素（SIMS分析での濃度が $5 \times 10^{18} / \text{cm}^3$ 以上、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以上）を含む第2の半導体膜、リン元素（SIMS分析での濃度が $1 \times 10^{19} / \text{cm}^3$ 以上、好ましくは $5 \times 10^{19} / \text{cm}^3$ 以上）を含む第3の半導体膜を形成する。次いで、実施の形態1に従って、加熱処理を行うゲッタリングを行った後、酸化膜をエッチングストッパーとして第2の半導体膜及び第3の半導体膜を除去し、結晶質シリコン膜のパターニングを行い、その後、酸化膜を除去した。こうして、ニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下となった結晶質シリコン膜からなる半導体層302～306を形成した。この半導体層302～306のパターニングが終了した状態は、実施の形態1における図1(F)に相当する。なお、上記酸化膜を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピング（チャネルドープとも呼ばれ

る) を適宜行ってもよい。

#### 【0066】

次いで、半導体層302～306の表面をバッファーフッ酸等のフッ酸系のエッチャントで洗浄した後、プラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を主成分とする絶縁膜307を形成する。本実施例では、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜（組成比Si = 32%、O = 59%、N = 7%、H = 2%）で形成した。勿論、このゲート絶縁膜となる絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【0067】

次いで、図3（A）に示すように、ゲート絶縁膜307上に膜厚20～100nmの第1の導電膜308と、膜厚100～400nmの第2の導電膜309とを積層形成する。本実施例では、膜厚30nmのTaN膜からなる第1の導電膜308と、膜厚370nmのW膜からなる第2の導電膜309を積層形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タンゲステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。

#### 【0068】

なお、本実施例では、第1の導電膜308をTaN、第2の導電膜309をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で単層または積層を用いればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせ

としてもよい。

### 【0069】

次に、フォトリソグラフィ法を用いてレジストからなるマスク310～315を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とするフッ素系ガス、またはO<sub>2</sub>を適宜用いることができる。ここでは、松下電器産業（株）製のICPを用いたドライエッチング装置（Model E645一口ICP）を用いた。基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパー形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、TaNに対するエッチング速度は80.32nm/minであり、TaNに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパー角は、約26°となる。

### 【0070】

この後、レジストからなるマスク310～315を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、TaNに対

するエッティング速度は $66.43\text{ nm/min}$ である。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、 $10\sim20\%$ 程度の割合でエッティング時間を増加させると良い。

## 【0071】

上記第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は $15\sim45^\circ$ とすればよい。

## 【0072】

こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 $316\sim321$ （第1の導電層 $316a\sim321a$ と第2の導電層 $316b\sim321b$ ）を形成する。図示しないが、ゲート絶縁膜となる絶縁膜 $307$ のうち、第1の形状の導電層 $316\sim321$ で覆われない領域は $10\sim20\text{ nm}$ 程度エッティングされ薄くなった領域が形成される。

## 【0073】

そして、本実施例は、第1のエッティング処理に引き続き、レジストからなるマスクを除去せずに第2のエッティング処理を行う。ここでは、エッティング用ガスに $SF_6$ と $Cl_2$ と $O_2$ とを用い、それぞれのガス流量比を $24/12/24$ （ $\text{sccm}$ ）とし、 $1.3\text{ Pa}$ の圧力でコイル型の電極に $700\text{ W}$ のRF（ $13.56\text{ MHz}$ ）電力を投入してプラズマを生成してエッティングを25秒行った。基板側（試料ステージ）にも $10\text{ W}$ のRF（ $13.56\text{ MHz}$ ）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッティング処理でのWに対するエッティング速度は $227.3\text{ nm/min}$ 、 $TaN$ に対するエッティング速度は $32.1\text{ nm/min}$ であり、 $TaN$ に対するWの選択比は $7.1$ であり、絶縁膜 $307$ であるSiONに対するエッティング速度は $33.7\text{ nm/min}$ であり、 $TaN$ に対するWの選択比は $6.83$ である。このようにエッティングガス用ガスに $SF_6$ を用いた場合、絶縁膜 $307$ との選択比が高いので膜減りを抑えることができる。また、駆動回路のTFTにおいては、テーパー部のチャネル長方向の幅が長いほど信頼性が高いため、テーパー部を形成する際、 $SF_6$ を含むエッティングガスでドラ

イエッティングを行うことが有効である。

#### 【0074】

この第2のエッティング処理によりWのテーパー角は70°となった。この第2のエッティング処理により第2の導電層322b～327bを形成する。一方、第1の導電層は、ほとんどエッティングされず、第1の導電層322a～327aを形成する。また、上記第2のエッティング処理において、 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とをエッティングガスに用いることも可能である。

#### 【0075】

次いで、レジストからなるマスクを除去した後、第1のドーピング処理を行って図3(C)の状態を得る。ドーピングは第1の導電層322a～327aを不純物元素に対するマスクとして用いて第1の導電層のテーパー部下方の半導体層に不純物元素が添加されないようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、フォスフィン( $\text{PH}_3$ )5%水素希釈ガス、ガス流量30sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域( $n^-$ 領域)328を自己整合的に形成する。この低濃度不純物領域328へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ である。

#### 【0076】

また、第1のドーピング処理は、第1の導電層のテーパー部下方の半導体層に不純物元素が添加されるようにドーピングしてもよい。その場合には、第1の導電層のテーパー部の膜厚に従って濃度勾配を有することになる。

#### 【0077】

次いで、レジストからなるマスク329～330を形成した後、第2のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図4(A))なお、後にpチャネル型TFTの活性層となる半導体層はマスク329、330で覆う。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。ここでは、n型を付与する不純物元素としてリンを用い、フォスフィン( $\text{PH}_3$ )5%水素希釈ガスとしたイオンドープ法を用いて添加する。

#### 【0078】

第2のドーピング処理により、後にロジック回路部のnチャネル型TFTとなる半導体層303には、導電層323がリンに対するマスクとなり、自己整合的に高濃度不純物領域( $n^+$ 領域)343、344が形成される。また、この第2のドーピング処理時、テーパー部の下方にも添加して低濃度不純物領域( $n^-$ 領域)333、334を形成する。よって、後に形成されるロジック回路部のnチャネル型TFTは、ゲート電極と重なる領域(GOLD領域)のみを備える。なお、低濃度不純物領域( $n^-$ 領域)333、334においては、第1の導電層のテーパー部と重なる半導体層において、第1の導電層のテーパー部の端部から内側に向かって不純物濃度(P濃度)が次第に低くなっている。

#### 【0079】

また、第2のドーピング処理により、後にサンプリング回路部のnチャネル型TFTとなる半導体層305には、マスク331で覆われなかった領域に高濃度不純物領域345、346が形成され、マスク331で覆われた領域には低濃度不純物領域( $n^{--}$ 領域)335、336が形成される。従って、後にサンプリング回路部のnチャネル型TFTは、ゲート電極と重ならない低濃度不純物領域(LDD領域)のみを備える。

#### 【0080】

また、第2のドーピング処理により、後に画素部のnチャネル型TFTとなる半導体層306には、マスク332で覆われなかった領域に高濃度不純物領域347～350が形成され、マスク332で覆われた領域には低濃度不純物領域( $n^{--}$ 領域)337～340が形成される。従って、後に画素部のnチャネル型TFTは、ゲート電極と重ならない低濃度不純物領域(LDD領域)のみを備える。また、後に画素部の容量部となる領域には、自己整合的に高濃度不純物領域350が形成され、テーパー部の下方には低濃度不純物領域( $n^-$ 領域)341、342が形成される。

#### 【0081】

第2のドーピング処理により、高濃度不純物領域343～350には、 $3 \times 10^{19} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲でn型を付与する不純物元素が添加される。

#### 【0082】

また、第2のドーピング処理の前後で一導電型の不純物元素（リン）を添加してもよく、その場合、後の熱処理でさらにゲッタリングすることができる。また、その場合には全ての半導体層の端部に添加されるようなマスクを第2のドーピング処理で用いることが望ましい。

## 【0083】

次いで、マスク329～332を除去した後、後にnチャネル型TFTの活性層となる半導体層をレジストからなるマスク351～353で覆い、第3のドーピング処理を行う。（図4（B））テーパー部を通過してp型の不純物元素が添加され、低濃度でp型の不純物元素を含む領域（ゲート電極と重なる領域（GOLD領域）354b～357b）が形成される。この第3のドーピング処理により、低濃度でn型の不純物元素をふくみ、且つ高濃度でp型の不純物元素を含む領域354a～357aを形成する。領域354a～357aには低濃度のリンが含まれているが、ボロンの濃度を $6 \times 10^{19} \sim 6 \times 10^{20}/\text{cm}^3$ となるようにドーピング処理し、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

## 【0084】

また、本実施例では第1のドーピング処理、第2のドーピング処理、第3のドーピング処理の順に行ったが、特に限定されず、工程順序を自由に変更してもよい。

## 【0085】

次いで、レジストからなるマスク351～353を除去して、第1の層間絶縁膜358を形成する。この第1の層間絶縁膜358としては、プラズマCVD法またはスパッタ法を用い、厚さを10～200nmとしてシリコンを含む絶縁膜で形成する。

## 【0086】

次いで、図4（C）に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はYAGレーザーまたはエキシマレーザーを裏面から照射することによって行う。裏面から照射することによって、ゲート電極と絶縁膜を介して重なる不純物領域の活性化を行うことができる

## 【0087】

また、本実施例では、上記活性化の前に第1の層間絶縁膜を形成した例を示したが、上記活性化を行った後、第1の層間絶縁膜を形成する工程としてもよい。

## 【0088】

次いで、窒化シリコン膜からなる第2の層間絶縁膜359を形成して熱処理（300～550℃で1～12時間の熱処理）を行い、半導体層を水素化する工程を行う。本実施例では、窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は第2の層間絶縁膜359に含まれる水素により半導体層のダングリングボンドを終端する工程である。第1の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【0089】

次いで、第2の層間絶縁膜359上有機絶縁物材料から成る第3の層間絶縁膜360を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各高濃度不純物領域に達するコンタクトホールを形成するためのパターニングを行う。本実施例では複数のエッチング処理を行った。本実施例では第2の層間絶縁膜をエッティングストッパーとして第3の層間絶縁膜をエッティングした後、第1の層間絶縁膜をエッティングストッパーとして第2の層間絶縁膜をエッティングしてから第1の層間絶縁膜をエッティングした。

## 【0090】

次いで、高濃度不純物領域とそれぞれ電気的に接続する電極361～369と、高濃度不純物領域349と電気的に接続する画素電極370を形成する。これらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いる。

## 【0091】

以上の様にして、nチャネル型TFT406及びpチャネル型TFT405からなるロジック回路部403と、nチャネル型TFT408及びpチャネル型TFT407からなるサンプリング回路部404とを有する駆動回路401と、n

チャネルTFT409からなる画素TFT及び保持容量410とを有する画素部402とを同一基板上に形成することができる。(図5)

## 【0092】

なお、本実施例ではnチャネル型TFT409は、ソース領域およびドレイン領域の間に二つのチャネル形成領域を有した構造（ダブルゲート構造）となっているが、本実施例はダブルゲート構造に限定されることなく、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

## 【0093】

本実施例では、第2のドーピング処理により、自己整合的またはマスクによって各回路に適した高濃度不純物領域を作り分けることを特徴としている。nチャネル型TFT406、408、409のTFTの構造は、いずれも低濃度ドレン（LDD：Lightly Doped Drain）構造となっている。さらにnチャネル型TFT406は、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD構造である。また、nチャネル型TFT408、409は、ゲート電極と重ならない領域（LDD領域）のみを備えている構造である。なお、本明細書では、絶縁膜を介してゲート電極と重なる低濃度不純物領域（n<sup>-</sup>領域）をGOLD領域と呼び、ゲート電極と重ならない低濃度不純物領域（n<sup>--</sup>領域）をLDD領域と呼ぶ。このゲート電極と重ならない領域（LDD領域）のチャネル方向の幅は、第2のドーピング処理時のマスクを適宜変更することで自由設定することができる。また、第1のドーピング処理の条件を変え、テーパー部の下方にも不純物元素が添加されるようにすれば、nチャネル型TFT408、409は、ゲート電極と重なる領域（GOLD領域）と、ゲート電極と重ならない領域（LDD領域）とを両方備えた構造とすることも可能である。

## 【0094】

なお、本実施例は半導体層302～306の形成の際、実施の形態1の半導体層の形成方法に代えて、実施の形態2の半導体層の形成方法を適用することは可能である。

## 【0095】

## 【実施例2】

本実施例では、実施の形態1とは異なる方法で結晶化を行った例を図6に示す。

## 【0096】

まず、実施の形態1と同様に基板700上に下地絶縁膜701、非晶質半導体膜702を形成する。次いで、シリコンを主成分とする絶縁膜を形成し、レジストからなるマスク703を形成する。次いで、マスク703を用いて絶縁膜を選択的に除去してマスク704を形成する。（図6（A））

## 【0097】

次いでマスク703を除去した後、金属含有層705を形成する。ここでは、マスク704で覆われていない領域に位置する非晶質半導体膜に金属元素が選択的に添加される。（図6（B））

## 【0098】

次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜706を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、500°C～650°Cで4～24時間、例えば550°C、4時間で行えばよい。図6（C）中の矢印に示す方向にニッケルが拡散するとともに結晶化が進む。この加熱処理により絶縁膜からなるマスク704と接している非晶質半導体膜がニッケルの作用により結晶化される。

## 【0099】

次いで、マスク704を除去して結晶構造を有する半導体膜706を得る。（図6（D））

## 【0100】

以降の工程は実施の形態1または実施例1に従えばよい。なお、図6（D）は、図1（B）に相当する。

## 【0101】

また、本実施例は実施の形態2と組み合わせることが可能である。

## 【0102】

## 【実施例3】

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図7を用いる。

#### 【0103】

まず、実施例1に従い、図5の状態のアクティブマトリクス基板を得た後、図5のアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

#### 【0104】

次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

#### 【0105】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

#### 【0106】

こうして得られた液晶モジュールの構成を図7の上面図を用いて説明する。なお、図5に相当する部分には同一の符号を用いた。

## 【0107】

図7で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）811を貼り付ける外部入力端子809、外部入力端子と各回路の入力部までを接続する配線810などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板800とがシリアル材807を介して貼り合わされている。

## 【0108】

ゲート配線側駆動回路401aと重なるように対向基板側に遮光層803aが設けられ、ソース配線側駆動回路401bと重なるように対向基板側に遮光層803bが形成されている。また、画素部402上の対向基板側に設けられたカラーフィルタ802は遮光層と、赤色（R）、緑色（G）、青色（B）の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色（R）の着色層、緑色（G）の着色層、青色（B）の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

## 【0109】

ここでは、カラー化を図るためにカラーフィルタ802を対向基板に設けていが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

## 【0110】

また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層803a、803bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

## 【0111】

また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所（各画素電極の間隙）や、駆動回路を遮光してもよい。

## 【0112】

また、外部入力端子にはベースフィルムと配線から成るFPC811が異方性導電性樹脂で貼り合わされている。さらに補強板で機械的強度を高めている。

## 【0113】

以上のようにして作製される液晶モジュールは各種電子機器の表示部として用いることができる。

## 【0114】

なお、上記液晶モジュールは、AC駆動としてもよいし、DC駆動としてもよい。

## 【0115】

また、本実施例は実施の形態1、実施の形態2、実施例1、または実施例2のいずれか一と自由に組み合わせることができる。

## 【0116】

## 〔実施例4〕

実施例1または実施例3では画素電極が反射性を有する金属材料で形成された反射型の表示装置の例を示したが、本実施例では画素電極を透光性を有する導電膜で形成した透過型の表示装置の例を示す。

## 【0117】

層間絶縁膜1100を形成する工程までは実施例1と同じであるので、ここでは省略する。実施例1に従って層間絶縁膜を形成した後、透光性を有する導電膜からなる画素電極1101を形成する。透光性を有する導電膜としては、ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金( $In_2O_3-ZnO$ )、酸化亜鉛( $ZnO$ )等を用いればよい。

## 【0118】

その後、層間絶縁膜1100にコンタクトホールを形成する。次いで、画素電極1101と重なる接続電極1102を形成する。この接続電極1102は、コンタクトホールを通じてドレイン領域と接続されている。また、この接続電極1102と同時に他のTFTのソース電極またはドレイン電極も形成する。

## 【0119】

また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

#### 【0120】

以上のようにしてアクティブマトリクス基板が形成される。このアクティブマトリクス基板を用い、実施例3に従って液晶モジュールを作製し、バックライト1104、導光板1105を設け、カバー1106で覆えば、図8に示すアクティブマトリクス型液晶表示装置が完成する。なお、カバー1106と液晶モジュールは接着剤や有機樹脂を用いて貼り合わせる。また、基板と対向基板を貼り合わせる際、枠で囲んで有機樹脂を枠と基板との間に充填して接着してもよい。また、透過型であるので偏光板1103は、アクティブマトリクス基板と対向基板の両方に貼り付ける。

#### 【0121】

なお、本実施例は実施例1乃至3のいずれか一と組み合わせることが可能である。

#### 【0122】

##### 〔実施例5〕

本実施例では、EL (Electro Luminescence) 素子を備えた発光表示装置を作製する例を図9に示す。

#### 【0123】

図9(A)は、ELモジュールを示す上面図、図9(B)は図9(A)をA-A'で切断した断面図である。絶縁表面を有する基板900(例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等)に、画素部902、ソース側駆動回路901、及びゲート側駆動回路903を形成する。これらの画素部や駆動回路は、上記実施例に従えば得ることができる。また、918はシール材、919はDLC膜であり、画素部および駆動回路部はシール材918で覆われ、そのシール材は保護膜919で覆われている。さらに、接着材を用いてカバー材920で封止されている。熱や外力などによる変形に耐えるためカバー材920は基板900と同じ材質のもの、例えばガラス基板を用いることが望ましく、サンドブラスト法などにより図9に示す凹部形状(深さ3~10μm)に加工

する。さらに加工して乾燥剤921が設置できる凹部（深さ50～200μm）を形成することが望ましい。また、多面取りでELモジュールを製造する場合、基板とカバー材とを貼り合わせた後、CO<sub>2</sub>レーザー等を用いて端面が一致するように分断してもよい。

#### 【0124】

なお、908はソース側駆動回路901及びゲート側駆動回路903に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）909からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

#### 【0125】

次に、断面構造について図9（B）を用いて説明する。基板900上に絶縁膜910が設けられ、絶縁膜910の上方には画素部902、ゲート側駆動回路903が形成されており、画素部902は電流制御用TFT711とそのドレインに電気的に接続された画素電極912を含む複数の画素により形成される。また、ゲート側駆動回路903はnチャネル型TFT913とpチャネル型TFT914とを組み合わせたCMOS回路を用いて形成される。

#### 【0126】

これらのTFT（911、913、914を含む）は、上記実施例1に従って作製すればよい。

#### 【0127】

画素電極912はEL素子の陽極として機能する。また、画素電極912の両端にはバンク915が形成され、画素電極912上にはEL層916およびEL素子の陰極917が形成される。

#### 【0128】

EL層916としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成

すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光（蛍光）する発光材料（シングルレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

#### 【0129】

陰極917は全画素に共通の配線としても機能し、接続配線908を経由してFPC909に電気的に接続されている。さらに、画素部902及びゲート側駆動回路903に含まれる素子は全て陰極917、シール材918、及び保護膜919で覆われている。

#### 【0130】

なお、シール材918としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材918はできるだけ水分や酸素を透過しない材料であることが望ましい。

#### 【0131】

また、シール材918を用いて発光素子を完全に覆った後、すくなくとも図9に示すようにDLC膜等からなる保護膜919をシール材918の表面（露呈面）に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてよい。ここで、外部入力端子（FPC）が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保護膜が成膜されないようにしてもよいし、CVD装置でマスキングテープとして用いるテフロン等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

#### 【0132】

以上のような構造でEL素子をシール材918及び保護膜で封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

#### 【0133】

また、画素電極を陰極とし、EL層と陽極を積層して図9とは逆方向に発光する構成としてもよい。図10にその一例を示す。なお、上面図は同一であるので省略する。

#### 【0134】

図10に示した断面構造について以下に説明する。基板1000としては、ガラス基板や石英基板の他にも、半導体基板または金属基板も使用することができる。基板1000上に絶縁膜1010が設けられ、絶縁膜1010の上方には画素部1002、ゲート側駆動回路1003が形成されており、画素部1002は電流制御用TFT1011とそのドレインに電気的に接続された画素電極1012を含む複数の画素により形成される。また、ゲート側駆動回路1003はnチャネル型TFT1013とpチャネル型TFT1014とを組み合わせたCMOS回路を用いて形成される。

#### 【0135】

画素電極1012はEL素子の陰極として機能する。また、画素電極1012の両端にはバンク1015が形成され、画素電極1012上にはEL層1016およびEL素子の陽極1017が形成される。

#### 【0136】

陽極1017は全画素に共通の配線としても機能し、接続配線1008を経由してFPC1009に電気的に接続されている。さらに、画素部1002及びゲート側駆動回路1003に含まれる素子は全て陽極1017、シール材1018、及びDLC等からなる保護膜1019で覆われている。また、カバー材1021と基板1000とを接着剤で貼り合わせた。また、カバー材には凹部を設け、乾燥剤1021を設置する。

#### 【0137】

なお、シール材1018としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材1018はできるだけ水分や酸素を透過しない材料であることが望ましい。

#### 【0138】

また、図10では、画素電極を陰極とし、EL層と陽極を積層したため、発光

方向は図10に示す矢印の方向となっている。

#### 【0139】

なお、本実施例は実施例1乃至4のいずれか一と組み合わせることが可能である。

#### 【0140】

##### 〔実施例6〕

本実施例では、実施例1とは異なる例を図11に示す。

#### 【0141】

まず、絶縁表面を有する基板11上に導電膜を形成し、パターニングを施すことにより走査線12を形成する。この走査線12は後に形成される活性層を光から保護する遮光層としても機能する。ここでは基板11として石英基板を用い、走査線12としてポリシリコン膜（膜厚50nm）とタンゲステンシリサイド（W-Si）膜（膜厚100nm）の積層構造を用いた。また、ポリシリコン膜はタンゲステンシリサイドから基板への汚染を保護するものである。

#### 【0142】

次いで、走査線12を覆う絶縁膜13a、13bを膜厚100～1000nm（代表的には300～500nm）で形成する。ここではCVD法を用いた膜厚100nmの酸化シリコン膜とLPCVD法を用いた膜厚280nmの酸化シリコン膜を積層させた。

#### 【0143】

次いで、非晶質半導体膜を膜厚10～100nmで形成する。ここでは膜厚69nmの非晶質シリコン膜（アモルファスシリコン膜）をLPCVD法を用いて形成した。次いで、この非晶質半導体膜を結晶化させる技術として実施の形態1または実施の形態2に示した技術を用いて結晶化、ゲッタリング、パターニングを行い結晶質シリコン膜の不要な部分を除去して、半導体層14を形成する。

#### 【0144】

次いで、保持容量を形成するため、マスクを形成して半導体層の一部（保持容量とする領域）にリンをドーピングする。

#### 【0145】

次いで、マスクを除去し、半導体層を覆う絶縁膜を形成した後、マスクを形成して保持容量とする領域上の絶縁膜を選択的に除去する。

## 【0146】

次いで、マスクを除去し、熱酸化を行って絶縁膜（ゲート絶縁膜）15を形成する。この熱酸化によって最終的なゲート絶縁膜の膜厚は80nmとなった。なお、保持容量とする領域上に他の領域より薄い絶縁膜を形成した。

## 【0147】

次いで、TFTのチャネル領域となる領域にp型またはn型の不純物元素を低濃度に添加するチャネルドープ工程を全面または選択的に行った。このチャネルドープ工程は、TFTしきい値電圧を制御するための工程である。なお、ここではジボラン( $B_2H_6$ )を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。もちろん、質量分離を行うイオンインプランテーション法を用いてもよい。

## 【0148】

次いで、絶縁膜15、及び絶縁膜13a、13b上にマスクを形成し、走査線12に達するコンタクトホールを形成する。そして、コンタクトホールの形成後、マスクを除去する。

## 【0149】

次いで、導電膜を形成し、パターニングを行ってゲート電極16および容量配線17を形成する。ここでは、リンがドープされたシリコン膜（膜厚150nm）とタンゲステンシリサイド（膜厚150nm）との積層構造を用いた。なお、保持容量は、絶縁膜15を誘電体とし、容量配線17と半導体層の一部とで構成されている。

## 【0150】

次いで、ゲート電極16および容量配線17をマスクとして自己整合的にリンを低濃度に添加する。この低濃度に添加された領域のリンの濃度が、 $1 \times 10^{16}$  ~  $5 \times 10^{18}$  atoms/cm<sup>3</sup>、代表的には $3 \times 10^{17}$  ~  $3 \times 10^{18}$  atoms/cm<sup>3</sup>となるように調整する。

## 【0151】

次いで、マスクを形成してリンを高濃度に添加し、ソース領域またはドレイン領域となる高濃度不純物領域を形成する。この高濃度不純物領域のリンの濃度が $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>（代表的には $3 \times 10^{19} \sim 3 \times 10^{20}$ /cm<sup>3</sup>）となるように調整する。なお、半導体層14のうち、ゲート電極16と重なる領域はチャネル形成領域となり、マスクで覆われた領域は低濃度不純物領域となりLDD領域として機能する。そして、不純物元素の添加後、マスクを除去する。

#### 【0152】

次いで、画素と同一基板上に形成される駆動回路に用いるpチャネル型TFTを形成するために、マスクでnチャネル型TFTとなる領域を覆い、ボロンを添加してソース領域またはドレイン領域を形成する。

#### 【0153】

次いで、マスク412を除去した後、ゲート電極16および容量配線17を覆うバッシベーション膜18を形成する。ここでは、酸化シリコン膜を70nmの膜厚で形成した。次いで、半導体層にそれぞれの濃度で添加されたn型またはp型不純物元素を活性化するための熱処理または強光の照射処理工程を行う。ここでは裏面からYAGレーザーを照射して活性化を行った。YAGレーザーに代えてエキシマレーザーを照射してもよい。

#### 【0154】

次いで、有機樹脂材料からなる層間絶縁膜19を形成する。ここでは膜厚400nmのアクリル樹脂膜を用いた。次いで、半導体層に達するコンタクトホールを形成した後、電極20及びソース配線21を形成する。本実施例では電極20及びソース配線21を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

#### 【0155】

次いで、水素化処理をおこなった後、アクリルからなる層間絶縁膜22を形成する。次いで、層間絶縁膜22上に遮光性を有する導電膜100nmを成膜し、遮光層23を形成する。次いで、層間絶縁膜24を形成する。次いで、電極20

に達するコンタクトホール形成する。次いで、100nmの透明導電膜（ここでは酸化インジウム・スズ（ITO）膜）を形成した後、パターニングして画素電極25を形成する。

#### 【0156】

なお、本実施例は一例であって本実施例の工程に限定されることはいうまでもない。例えば、各導電膜としては、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タンクステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素、または前記元素を組み合わせた合金膜（代表的には、Mo-W合金、Mo-Ta合金）を用いることができる。また、各絶縁膜としては、酸化シリコン膜や窒化シリコン膜や酸化窒化シリコン膜や有機樹脂材料（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等）膜を用いることができる。

#### 【0157】

なお、本実施例は実施例1乃至5のいずれか一と組み合わせることが可能である。

#### 【0158】

##### 【実施例7】

実施例1では、トップゲート型TFTを例に説明したが、本発明は図12に示すボトムゲート型TFTにも適用することができる。

#### 【0159】

図12(A)は、画素部の画素の一つを拡大した上面図であり、図12(A)において、点線A-A'で切断した部分が、図12(B)の画素部の断面構造に相当する。

#### 【0160】

図12に示す画素部において、画素TFT部はNチャネル型TFTで形成されている。基板上51にゲート電極52が形成され、その上に窒化珪素からなる第1絶縁膜53a、酸化珪素からなる第2絶縁膜53bが設けられている。また、第2絶縁膜上には、活性層としてソース領域またはドレイン領域54~56と、チャネル形成領域57、58と、前記ソース領域またはドレイン領域とチャネル

形成領域の間にLDD領域59、60が形成される。また、チャネル形成領域57、58は絶縁層61、62で保護される。絶縁層61、62及び活性層を覆う第1の層間絶縁膜63にコンタクトホールを形成した後、ソース領域54に接続する配線64が形成され、ドレイン領域56に配線65が接続され、さらにその上にパッシベーション膜66が形成される。そして、その上に第2の層間絶縁膜67が形成される。さらに、その上に第3の層間絶縁膜68が形成され、ITO、SnO<sub>2</sub>等の透明導電膜からなる画素電極69が配線65と接続される。また、70は画素電極69と隣接する画素電極である。

#### 【0161】

本実施例では、活性層を上述した実施の形態1または実施の形態2に従って形成する。

#### 【0162】

本実施例では一例としてチャネルストップ型のボトムゲート型のTFTの例を示したが特に限定されない。

#### 【0163】

なお、本実施例では、画素部の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

#### 【0164】

また、画素部の容量部は、第1絶縁膜及び第2絶縁膜を誘電体として、容量配線71と、ドレイン領域56とで形成されている。

#### 【0165】

なお、図12で示した画素部はあくまで一例に過ぎず、特に上記構成に限定されないことはいうまでもない。

#### 【0166】

なお、本実施例は実施例1乃至4のいずれか一と組み合わせることが可能である。

#### 【0167】

## 【実施例8】

本発明を実施して形成された駆動回路や画素部は様々なモジュール（アクティブマトリクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール）に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

## 【0168】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13～図15に示す。

## 【0169】

図13 (A) はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

## 【0170】

図13 (B) はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

## 【0171】

図13 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

## 【0172】

図13 (D) はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

## 【0173】

図13 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用い

るプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

## 【0174】

図13(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

## 【0175】

図14(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶モジュール2808に適用することができる。

## 【0176】

図14(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶モジュール2808に適用することができる。

## 【0177】

なお、図14(C)は、図14(A)及び図14(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶モジュール2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図14(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

## 【0178】

また、図14(D)は、図14(C)中における光源光学系2801の構造の

一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図14（D）に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

#### 【0179】

ただし、図14に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

#### 【0180】

図15（A）は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部（CCD、イメージセンサ等）2907等を含む。本発明を表示部2904に適用することができる。

#### 【0181】

図15（B）は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

#### 【0182】

図15（C）はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。

#### 【0183】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

#### 【0184】

##### 【発明の効果】

本発明により、高温（600℃以上）の加熱処理回数を低減し、さらなる低温

プロセス（600℃以下）を実現するとともに、工程簡略化及びスループットの向上を実現することができる。

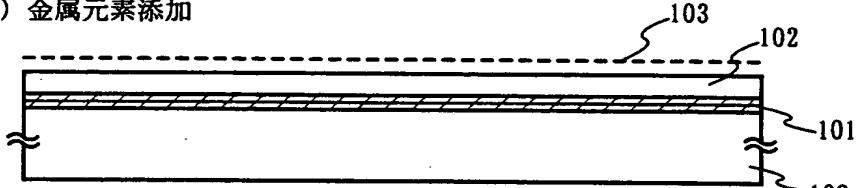
【図面の簡単な説明】

- 【図1】 TFTの作製工程を示す図。
- 【図2】 TFTの作製工程を示す図。
- 【図3】 アクティブマトリクス基板の作製工程を示す図。
- 【図4】 アクティブマトリクス基板の作製工程を示す図。
- 【図5】 アクティブマトリクス基板の作製工程を示す図。
- 【図6】 半導体膜の結晶化を示す図。
- 【図7】 アクティブマトリクス型液晶表示装置の上面図。
- 【図8】 透過型の例を示す図。
- 【図9】 ELモジュールを示す上面図及び断面図。
- 【図10】 ELモジュールを示す断面図。
- 【図11】 アクティブマトリクス基板の断面図。
- 【図12】 アクティブマトリクス基板の断面図及び上面図。
- 【図13】 電子機器の一例を示す図。
- 【図14】 電子機器の一例を示す図。
- 【図15】 電子機器の一例を示す図。

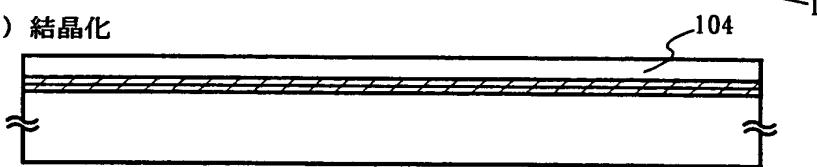
【書類名】 図面

【図1】

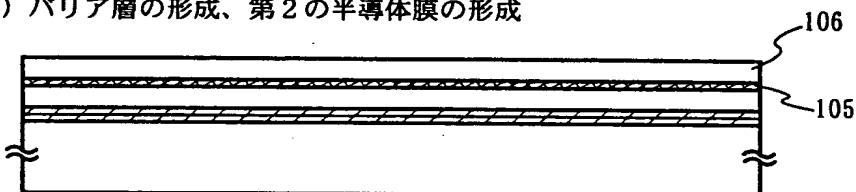
(A) 金属元素添加



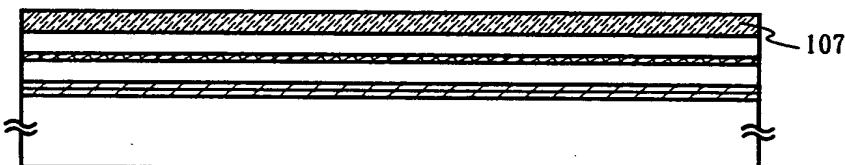
(B) 結晶化



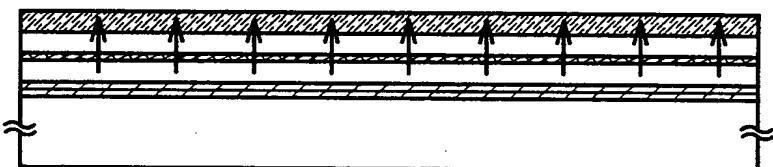
(C) バリア層の形成、第2の半導体膜の形成



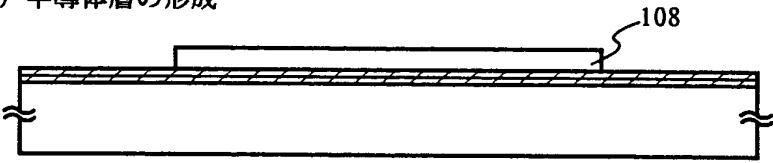
(D) 一導電型を付与する不純物元素を含む第3の半導体膜 (N+層) の形成



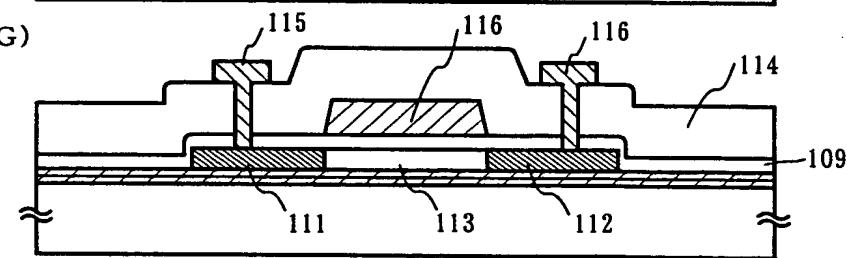
(E) ゲッタリング



(F) 半導体層の形成

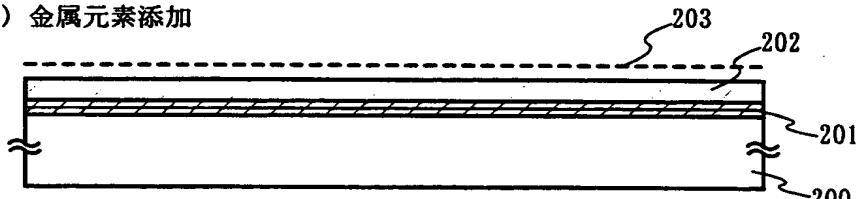


(G)

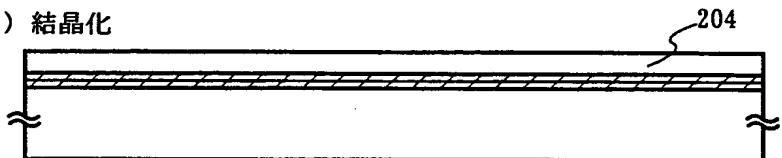
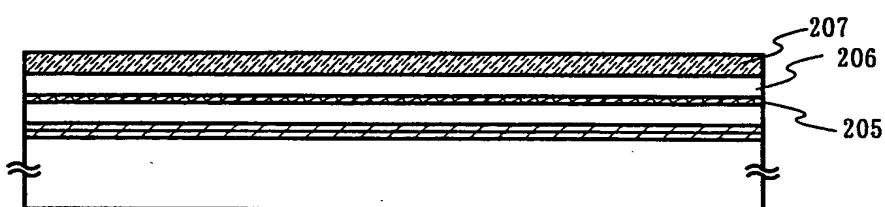


【図2】

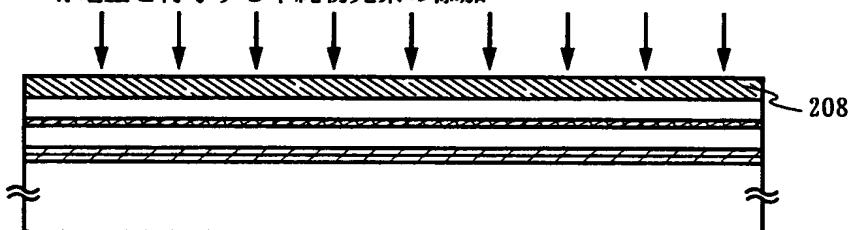
(A) 金属元素添加



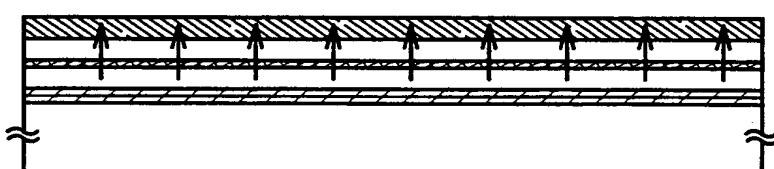
(B) 結晶化

(C) バリア層、第2の半導体膜、及び  
一導電型を付与する不純物元素を含む第3の半導体膜（N+層）の形成

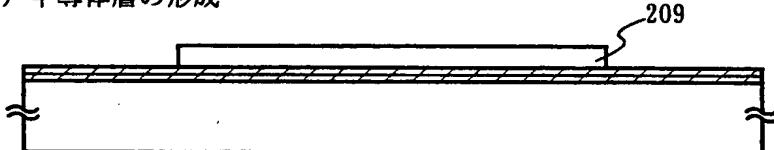
(D) 一導電型を付与する不純物元素の添加



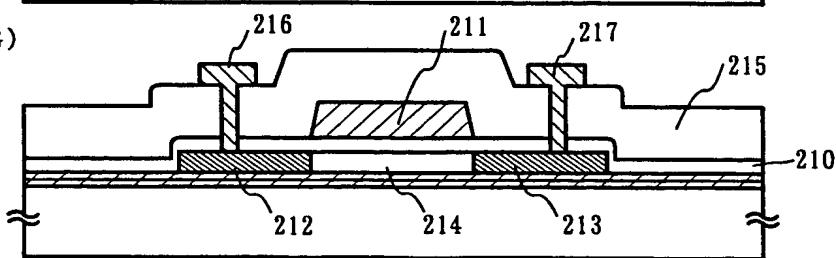
(E) ゲッタリング



(F) 半導体層の形成

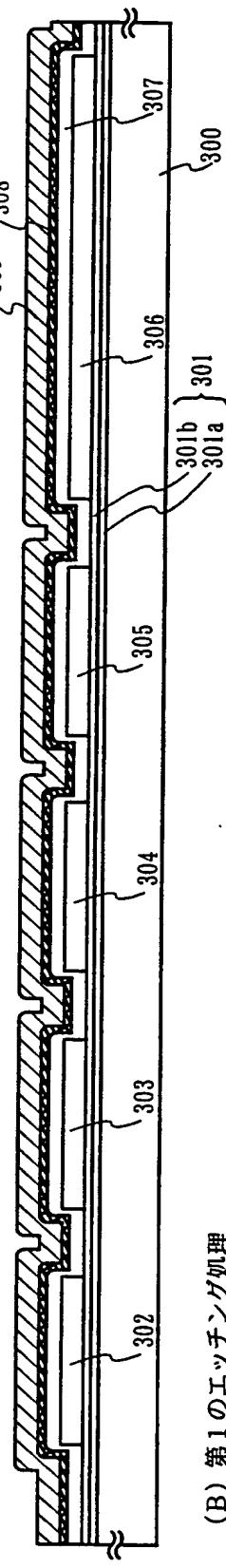


(G)

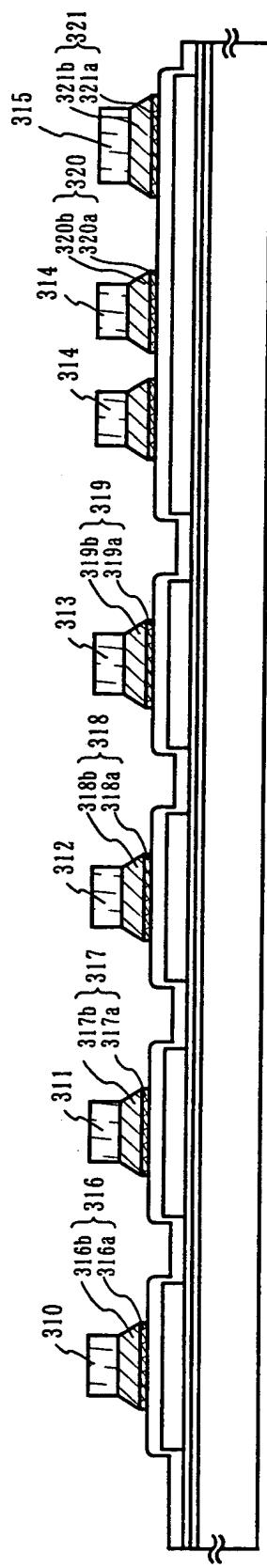


【図3】

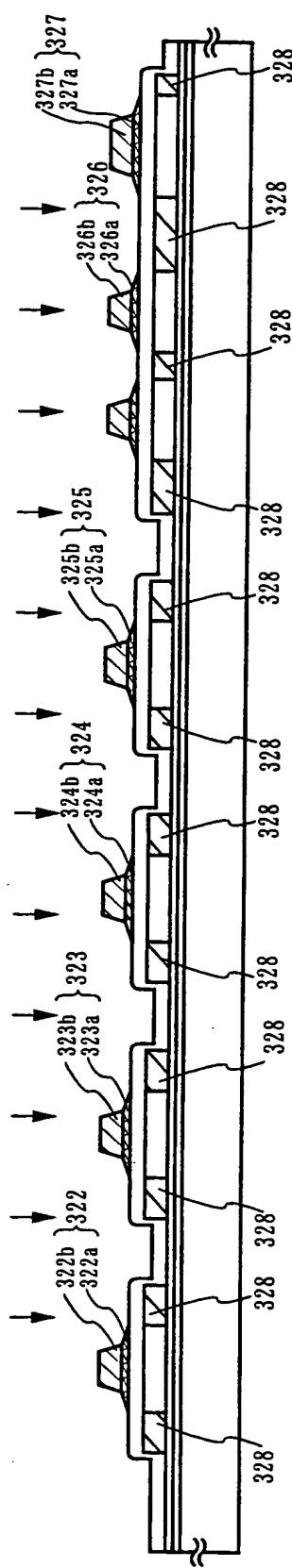
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



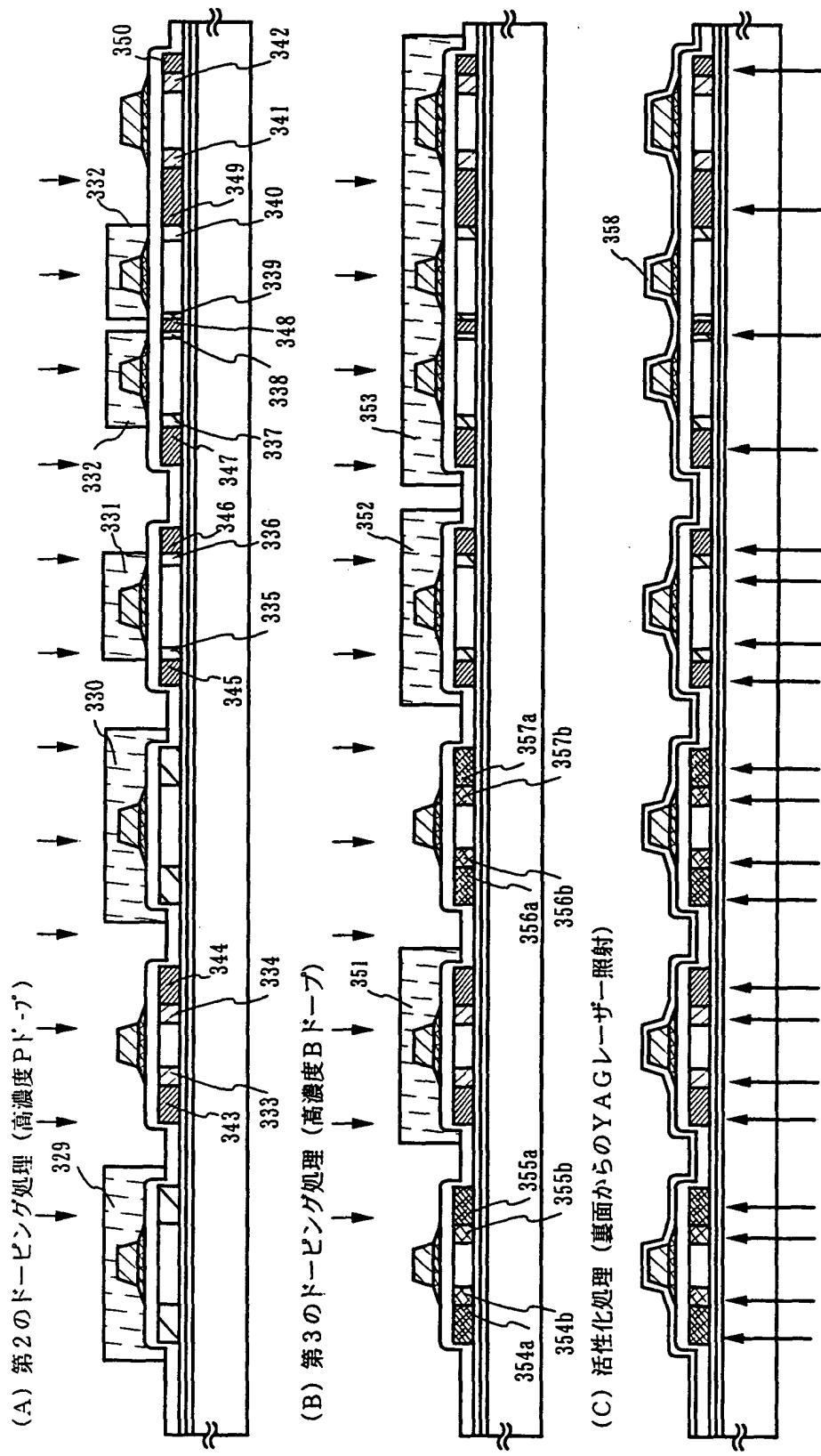
(B) 第1のエッチング処理



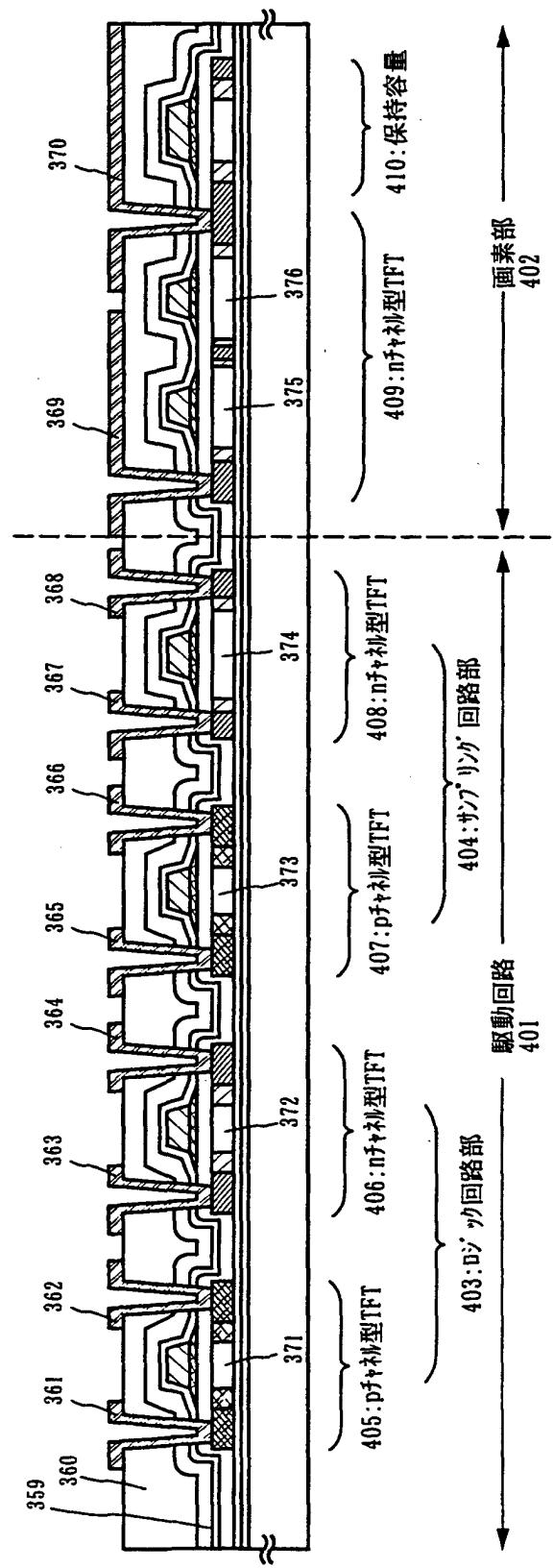
(C) 第2のエッチング処理／マスク除去／第1のドーピング処理（低濃度）



【図4】

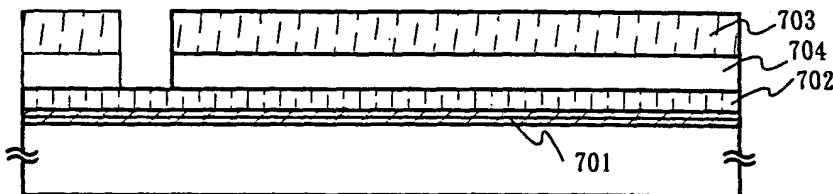


【図5】

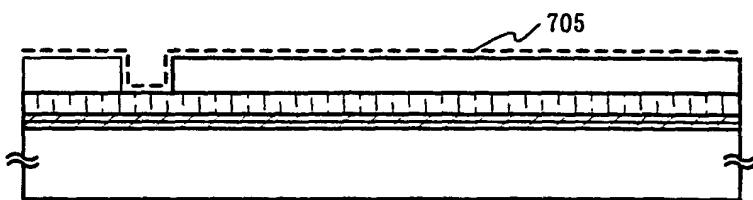


【図6】

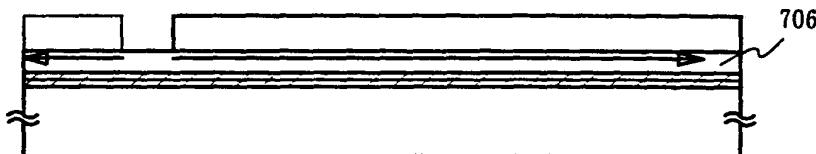
(A) マスクの形成



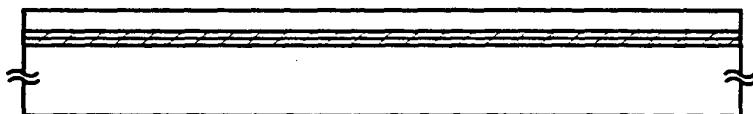
(B) 金属含有層の形成



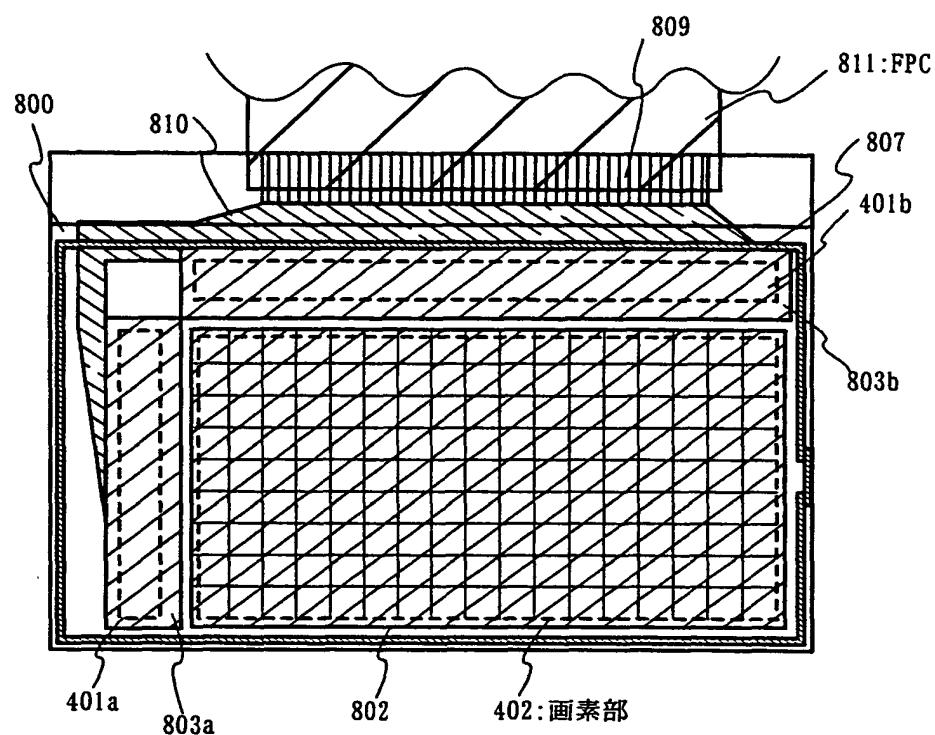
(C) 結晶化



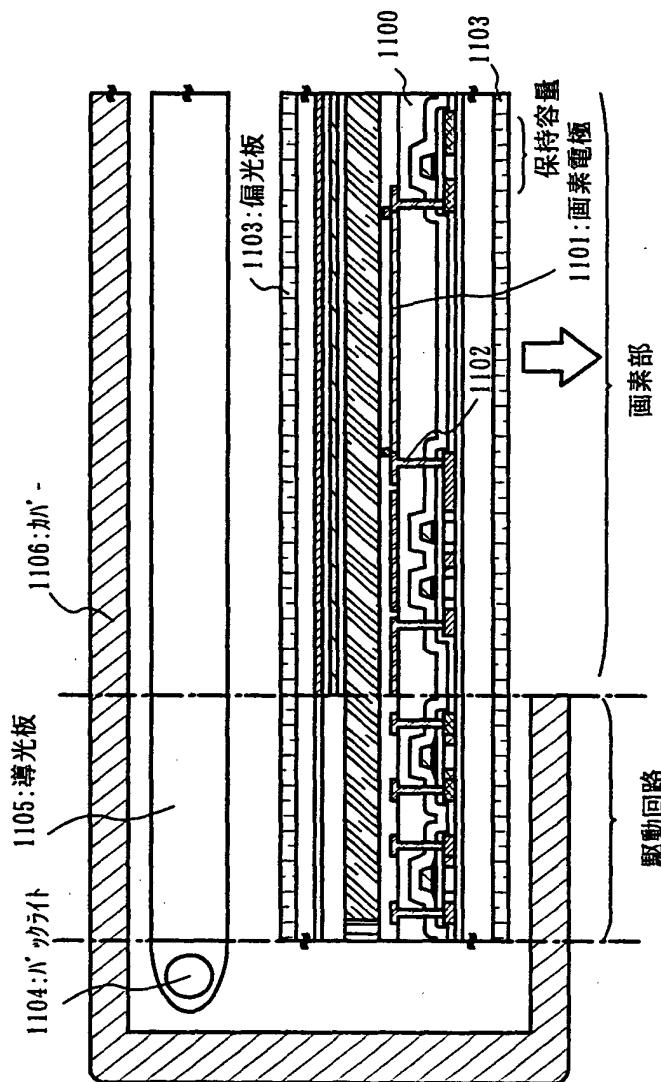
(D) マスク除去



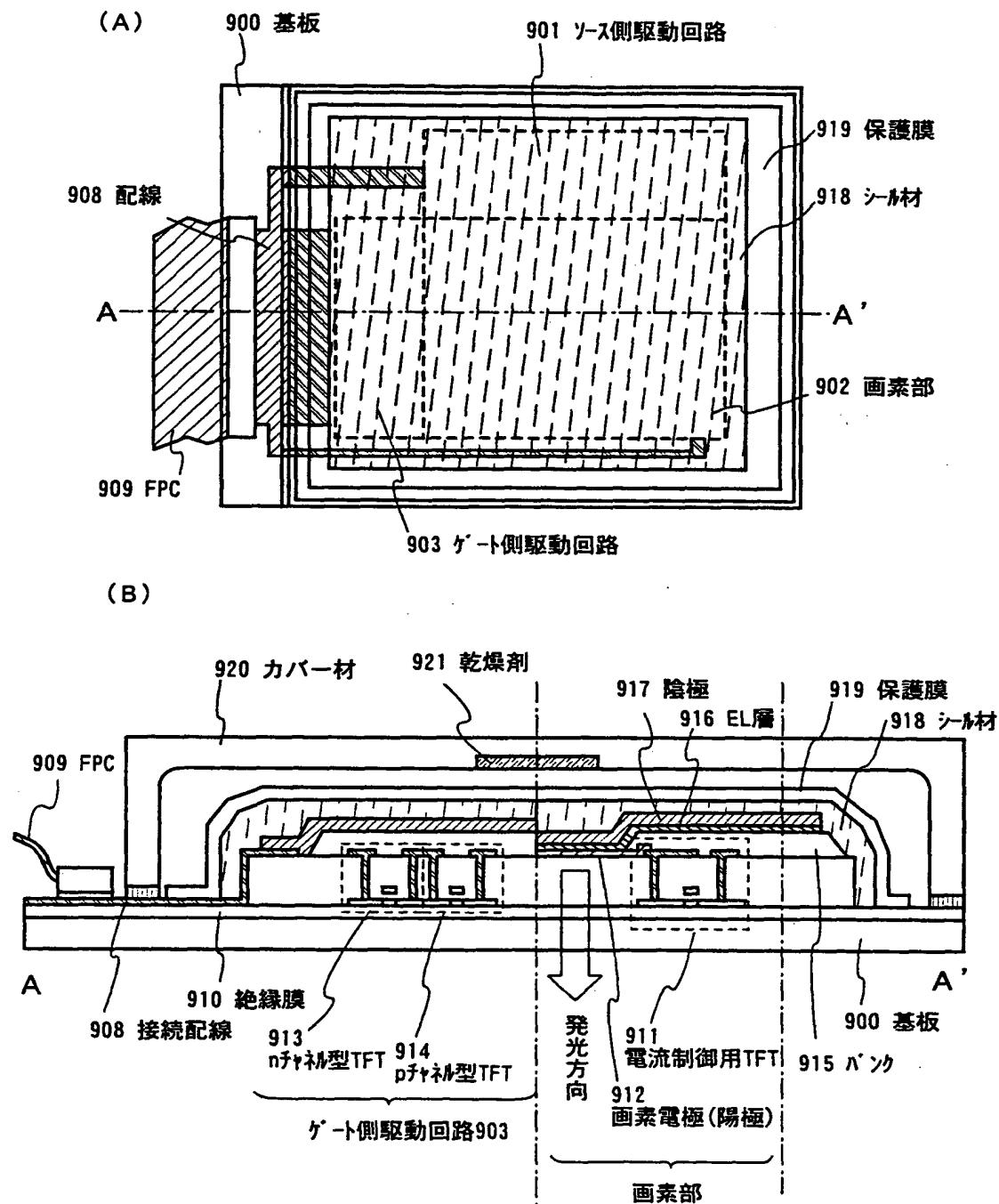
【図7】



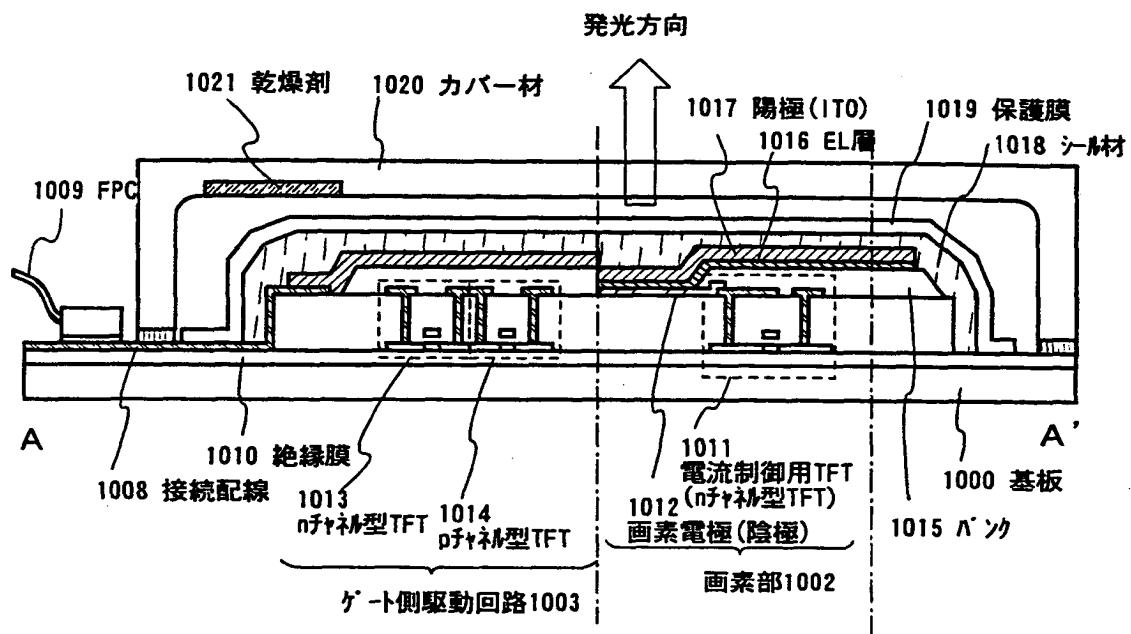
【図8】



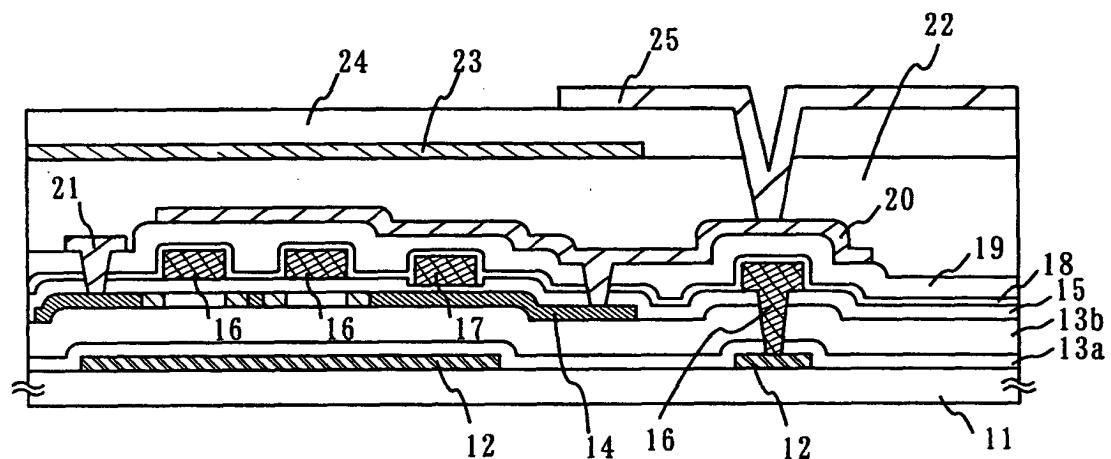
【図9】



【図10】

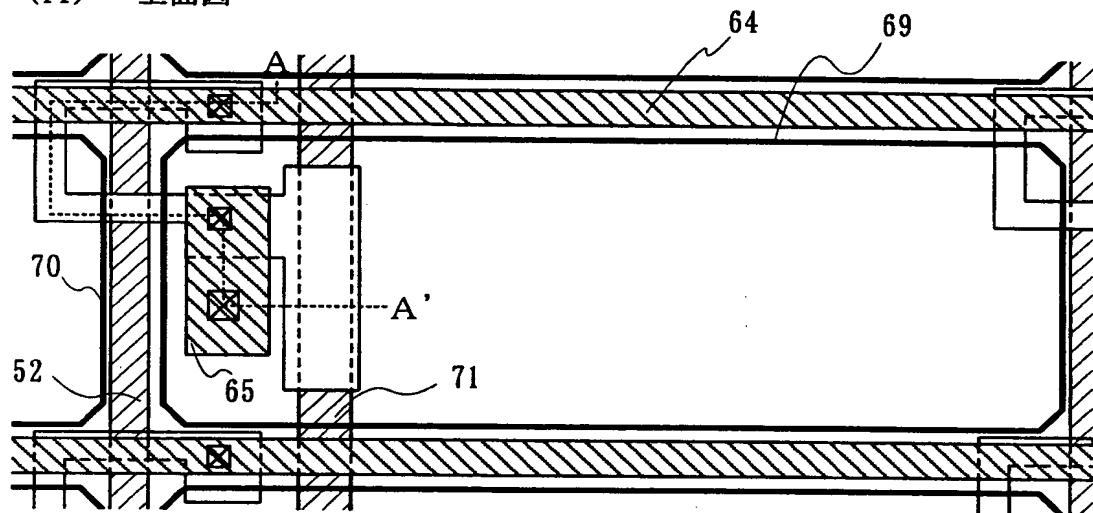


【図11】

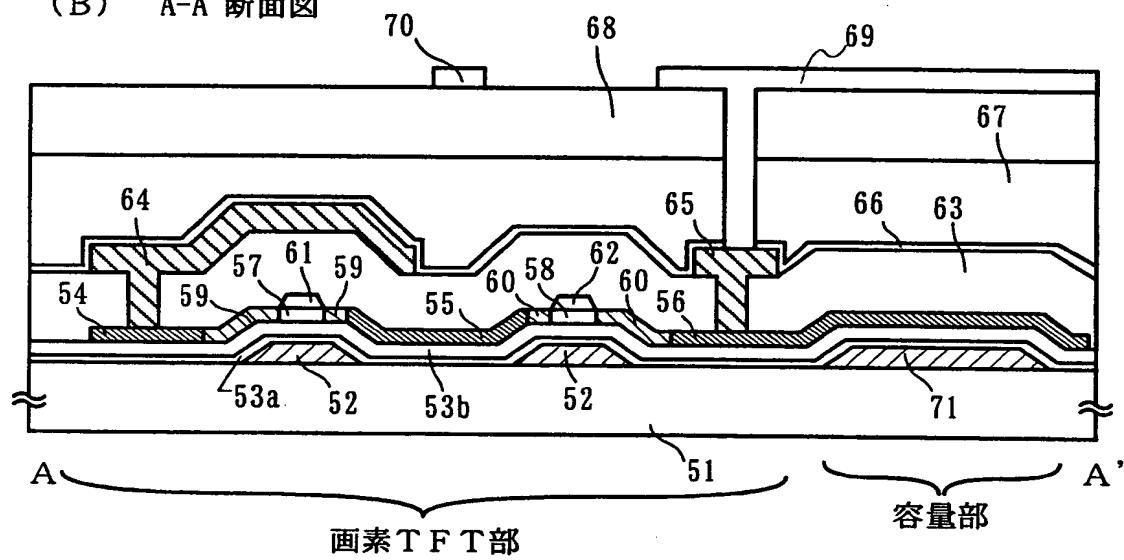


【図12】

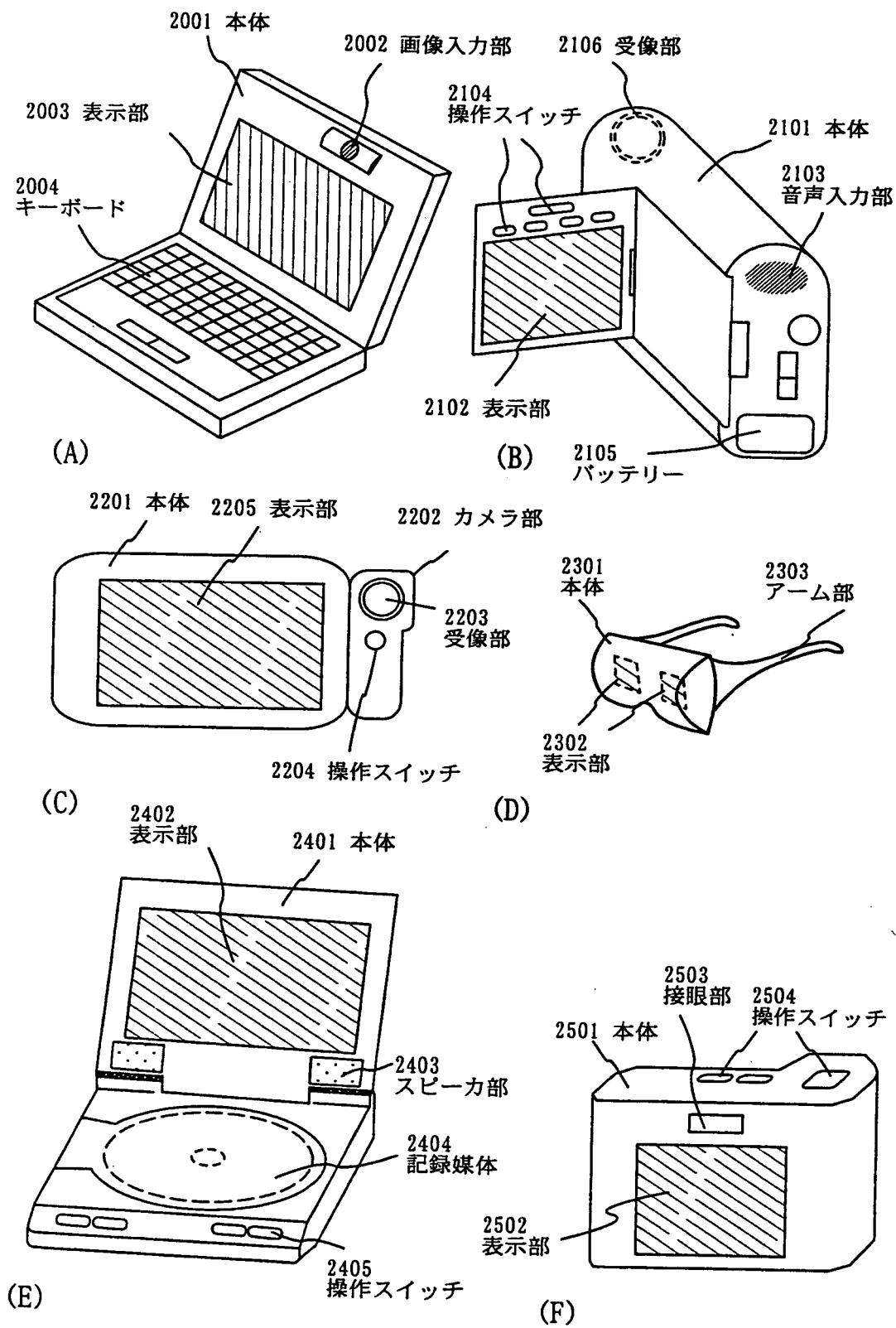
(A) 上面図



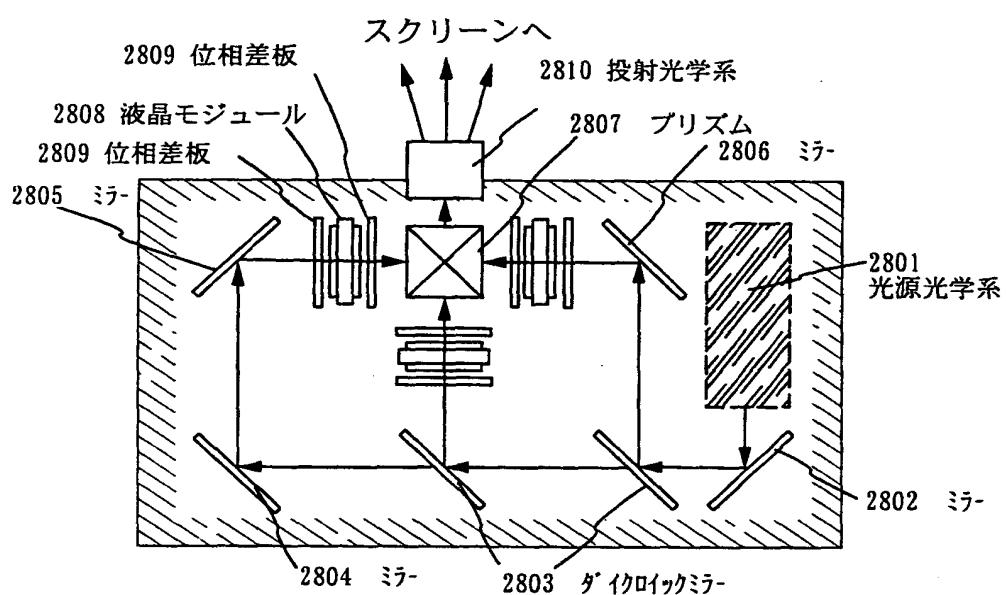
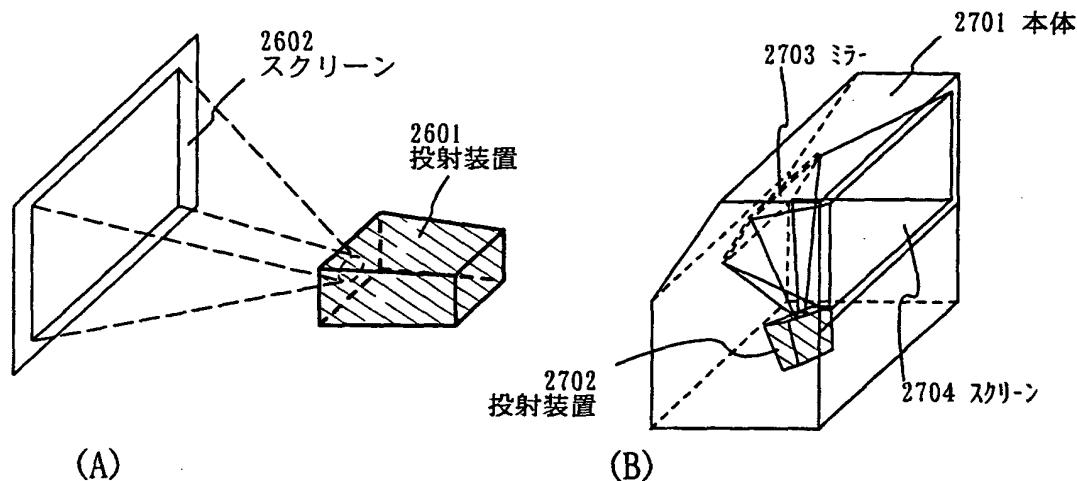
(B) A-A' 断面図



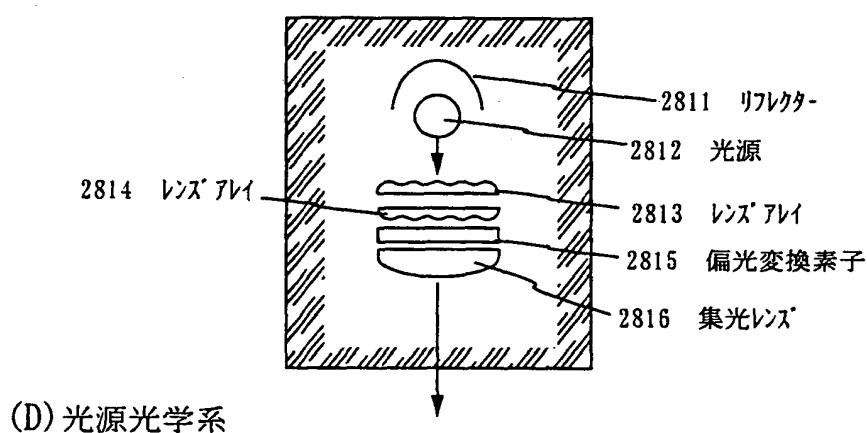
【図13】



【図14】

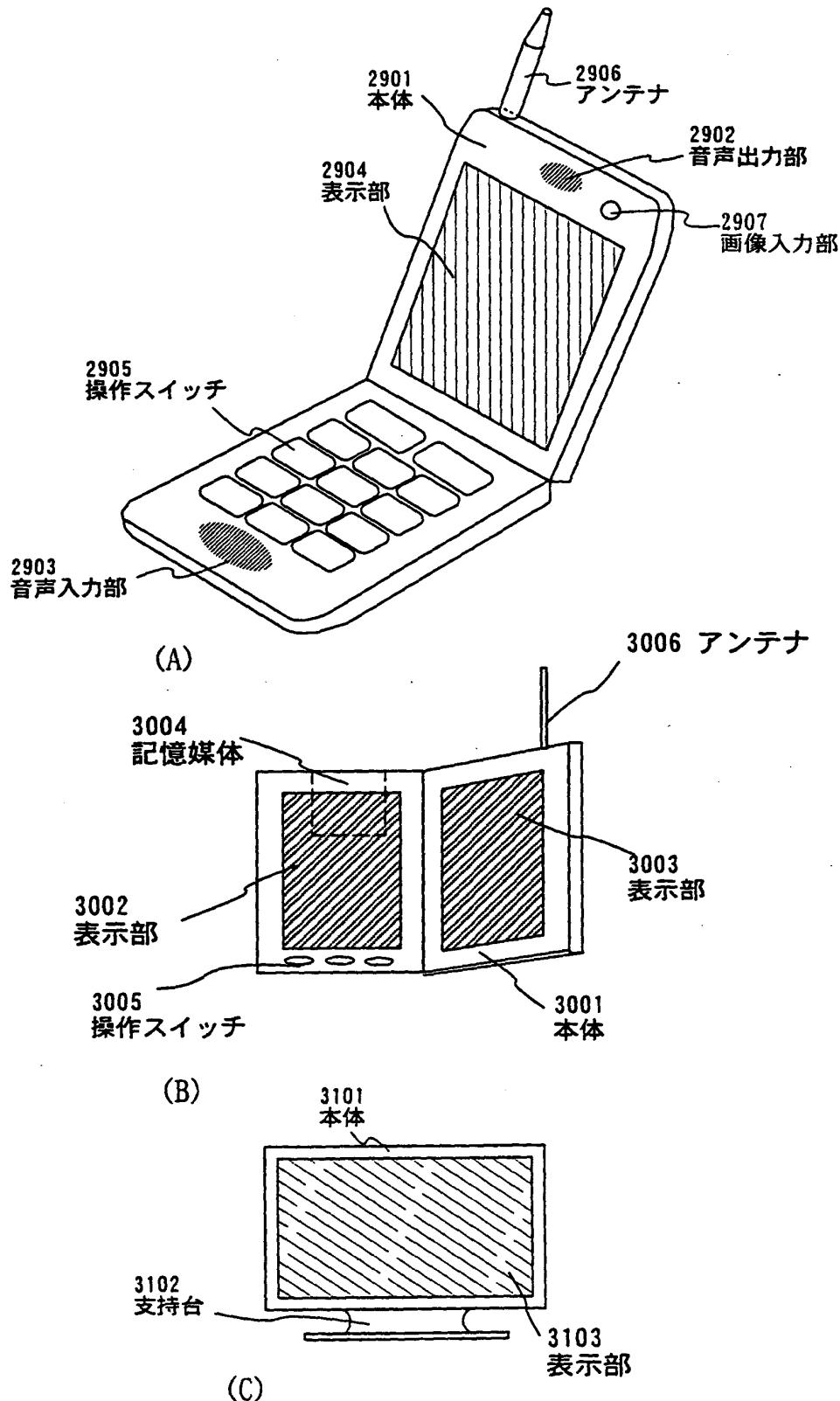


(C) 投射装置（三板式）



(D) 光源光学系

【図15】



【書類名】 要約書

【要約】

【課題】 高温（600℃以上）の加熱処理回数を低減し、さらなる低温プロセス（600℃以下）を実現するとともに、工程簡略化及びスループットの向上を実現することを課題とする。

【解決手段】 本発明は結晶構造を有する第1の半導体膜104上にバリア層105と、第2の半導体膜106と、一導電型を付与する不純物元素（リン）を含む第3の半導体膜108とを形成し、第1の半導体膜104に含まれる金属元素を加熱処理によりバリア層105及び第2の半導体膜106を通過させて前記第3の半導体膜107に移動させるゲッタリングを行った後、前記バリア層105をエッチングストッパーに用いて第2の半導体膜106及び第3の半導体膜107を除去する。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所